

CMOS 標準ロジックを用いた確率的フラッシュ型 AD 変換器の試作と評価

竹端久登*, 谷本 洋, 吉澤真吾
(北見工業大学)

Design and evaluation of stochastic flash ADC using standard CMOS logic
Hisato Takehata*, Hiroshi Tanimoto, Shingo Yoshizawa (Kitami Institute of Technology)

Abstract

Since stochastic flash AD converters (SFADC) use statistical method, threshold voltages of SFADC are defined by comparator offsets instead of fixed interval reference voltages. SFADC needs many comparators. We designed and evaluated an experimental SFADC by using standard CMOS logic ICs to explore issues due to relatively small number of comparators (90 comparators) are used.

キーワード：確率的フラッシュ型 ADC, CMOS インバータ, オフセットばらつき, CMOS 標準ロジック
(stochastic flash ADC, CMOS inverter, Offset variation, standard CMOS logic)

1. はじめに

コンパレータとデジタル回路だけで実現可能な AD 変換器として確率的フラッシュ型 AD 変換器 (SFADC) が注目されている。この背景として、回路に使われている半導体プロセスの微細化の進歩により、高集積化による占有面積の縮小や動作速度の向上の恩恵を受けて、デジタル回路の信号処理能力は飛躍的に向上した一方で、アナログ回路では微細化によりトランジスタの電源電圧が下がったことによるダイナミックレンジの減少や、アナログ的なパラメータの素子値ばらつきの顕在化など新たな問題が発生している。このため微細プロセスを用いた精密な AD 変換器等の設計が難しくなっている。

現在 AD 変換において最も変換スピードが速いフラッシュ (並列) 型 AD 変換を例にとると、電源電圧の低下に伴って、フラッシュ型は参照電源電圧の間隔が狭まり、コンパレータのオフセットが無視できなくなっている。参照電圧の最小間隔は、電源電圧 1V で 6 ビットの場合でも $LSB=15.6\text{ mV}$ となるが、微細 CMOS プロセスではコンパレータのオフセットがちょうどこの程度であり、必要とされる LSB の $1/5\sim 1/10$ 程度はトリミング等の手段を用いても非常に困難である。

これに対して、コンパレータのオフセット電圧のばらつきを参照電圧として用いる SFADC という方式がある⁽¹⁾⁻⁽³⁾。この方式は、従来のように測定電圧と参照電圧を比較して AD 変換しているのではなく、各コンパレータのオフセット電圧のばらつきを参照電圧として用いるので、通常のフラッシュ型のような厳しいオフセット電圧の制約から逃れることができる。一般にコンパレータのオフセットは正規分布的であるため、多数のコンパレータを用意して、入力に対する反転数を計数することで AD 変換を可能にしている。この方法のメリットはコンパレータのオフセット以下の信号でも統計的手法により変換でき、分解能を稼ぐこと

ができる点にある。すなわち、変換スピードが速いというフラッシュ型 AD 変換の性質を生かしつつ、低電源電圧下でもより高い分解能を得ることができる可能性があるのがこの方式の利点である。ただし、コンパレータのオフセットを閾値としたためオフセット電圧の標準偏差 σ 程度で入力範囲が限定される点や、正規分布の累積分布関数は分布の端になればなるほど非線形となり、線形とみなせる範囲に入力を限定する必要がある点などの制約がある。現段階で SFADC は実用化はされておらず、まだ未知の部分が多い。

線形性に関していえば、線形とみなせる範囲を広げる方法として、多数のコンパレータを複数群に分割し、それぞれの群に最適な基準電圧を与えることで SFADC の線形性を改善する手法⁽⁴⁾が提案されているが、前提としてコンパレータのオフセットは正規分布的であることとしており、絶対的保証はない。ましてや、コンパレータの数が少数であると正規分布といえども、実際に得られる閾値分布には必ずばらつきが生ずる。そして、コンパレータのオフセットの分布が正規分布とは言い難いものでも線形性が改善されるのかという検討はない。

従って、実際に CMOS 標準ロジック IC を用いて SFADC を試作し、コンパレータのオフセットが少数 (90 個) で正規分布でなく、ばらついた場合でも入力範囲を拡大させることによって線形性が改善されるかどうかを検証した。ここで、CMOS 標準ロジック IC を用いたのは、チップで製作するよりも原理確認がしやすく、さらに、個々のコンパレータのオフセット電圧を測定できるため、そこから得られる予測値と実験結果で比較検討が行えるためである。

実験の結果、入力範囲を形式的に最大平坦近似⁽⁵⁾を用いて拡大すると、SFDR (Spurious Free Dynamic Range) が約 5 dB 改善することを明らかにした。これらに関する CMOS 標準ロジックを用いた SFADC の試作と評価を報告する。

2. 確率的フラッシュAD変換器の原理

図1に基本的な確率的フラッシュAD変換器の原理的構成を示す。全部で N 個のコンパレータが入力に並列的に接続されており、各コンパレータはそれぞれのオフセット電圧 V_k ($k = 1, 2, \dots, N$) を持っているが、これらは等価的にコンパレータの外部に取り出して表現されている。

図2は平均 $\mu = 0$ 、分散 $\sigma^2 = 1$ の標準正規分布の確率密度関数 (PDF; probability density function と略記する) $g(x)$ と、それに対応する確率分布関数 (CDF; cumulative distribution function と略記する) $G(x)$ を示す。なお、これらの関数が

$$g(x) = \frac{1}{\sqrt{2\pi}} e^{-\frac{x^2}{2}}, \quad (1)$$

$$G(x) = \int_{-\infty}^x p(y) dy = \frac{1}{2} + \frac{1}{2} \operatorname{erf}\left(\frac{x}{\sqrt{2}}\right) \quad (2)$$

と表されることはよく知られている。ここで、 $\operatorname{erf}(\cdot)$ はガウスの誤差関数である。

各コンパレータの閾値が標準正規分布に従っていると仮定すれば、図2の $G(x)$ に対して、振幅 $A (> 0)$ で角周波数 ω の正弦波入力信号 $x(t) = A \cos \omega t$ が入力されると、コンパレータの反転する確率は、時刻を表すパラメータを t として、

$$G(x(t)) = \frac{1}{2} + \frac{1}{2} \operatorname{erf}\left(\frac{A \cos \omega t}{\sqrt{2}}\right) \quad (3)$$

と表される。すなわち、コンパレータが全部で N 個あったとすると、時刻 t において反転しているコンパレータ数の期待値 $m(t)$ は

$$m(t) = NG(x(t)) = N \left\{ \frac{1}{2} + \frac{1}{2} \operatorname{erf}\left(\frac{A \cos \omega t}{\sqrt{2}}\right) \right\} \quad (4)$$

と表される。従って、 $m(t)$ を計数すれば、AD変換器が実現できる。そこで、CDFの直線部分をAD変換器として利用するには、直線部分 (=線形範囲) ができるだけ長いことが望ましいということになる⁽⁹⁾。

3. 試作回路の説明

CMOS標準ロジックICを用いてSFADCを試作するにあたり、設計・評価する確率型AD変換器の構成を図3に示す。全ての電源電圧を5Vとしている。

構成で使用する比較器はCMOS標準ロジックICのインバータ (CMOS Inverter, TC4069UBP) を使用した[†]。このロジックICの1パッケージには1ゲート構成のインバータが6個搭載されている。各インバータを通過した信号を同時にサンプルホールド (S/H) する役割をもたせるために⁽⁹⁾、CMOS標準ロジックICのD-ラッチ (4-Bit D Type Latch, TC74HC375AP) をインバータの後段に使用した。ラッチされた各信号を加算器 (4-Bit Binary Full Adder, TC74AC283P) で加算し出力された反転個数を以てAD変

[†] 個々のインバータのオフセット電圧を直接測定するため、バッファなしのインバータを用いている。

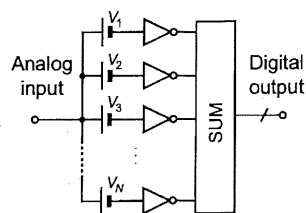


図1 確率的フラッシュAD変換器の原理的構成

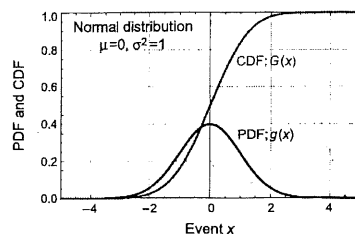


図2 標準正規分布の確率密度関数 $g(x)$ 、および確率分布関数 $G(x)$

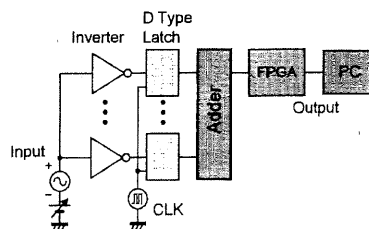


図3 評価する確率型AD変換器

換値とする。CMOSインバータの個数は90個としたため、D-ラッチも90個使用し、加算器はワレスの木 (Wallace Tree) 構造をもたせ回路の高速化・低面積化を図った⁽⁹⁾。加算された出力結果はFPGAを介してデータとしてPCに取り込み、解析を行った。

〈3・1〉 CMOS標準ロジックインバータの閾値ばらつき CMOS標準ロジックICインバータでSFADCを試作するにあたり、インバータ90個のオフセットがどのような分布になるかあらかじめ調べた。結果を図4に示す。

図4を見てわかるように、分布は正規分布のように見えず、 χ^2 検定を行ったが5%の危険率で正規分布とは言えなかった。もちろん一様分布でもないのは見ても明らかである。なぜこのような分布になったのかといえば、すべてが同一ロットの製品ではないため、CMOS標準ロジックICのパッケージ内オフセットの平均値がパッケージ間で大きく異なるからだと考えられる。

次に、図5は各ICの閾値平均値からの閾値電圧誤差の頻度を表しており、各パッケージに含まれる6個のインバータの閾値の平均値を0に補正し、分散だけを用いて、近似的にチップ内ばらつきを表した図である。このようにすると正規分布に似ているようにみえるが、正規分布かどうか

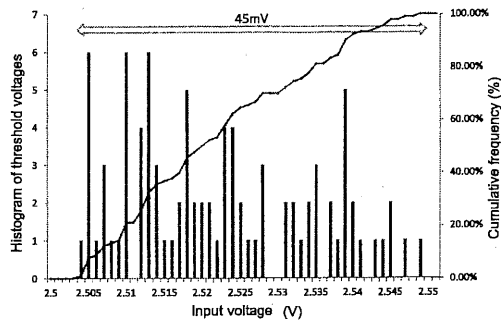


図4 CMOS インバータ 90 個の閾値ヒストグラム

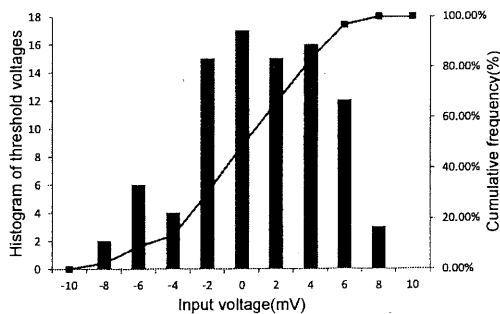


図5 各標準ロジック IC の閾値平均値を 0 としたときの 閾値電圧誤差のヒストグラムと累積分布

判定するため再び χ^2 検定等で検定した結果、各 IC 平均値からの閾値電圧誤差の頻度が危険率 5% で正規分布になることを確認した。

以上から、CMOS 標準ロジック IC のパッケージ内のばらつきは正規分布のようになるが、CMOS 標準ロジック IC のパッケージ間では、CMOS 標準ロジック IC のパッケージ内オフセットの平均値がパッケージ間で大きく異なるため、図 4 のような分布になったと推測できる。

〈3・2〉 CMOS 標準ロジックインバータの雑音 コンパレータとして使用する CMOS インバータの内部には雑音があり、この雑音が SFADC に少なからず影響を与える。この雑音がどのような大きさなのか定量的に調べておく必要がある。図 6 のようにインバータ入出力を短絡させてインバータの入出力を閾値に持っていき電源由来の雑音が入力に与える影響を測定した。電源に含まれる雑音を V_E 、インバータの入力換算雑音を V_N 、その 2 つの雑音によってインバータの出力に現れる雑音を V_{out} とすると

$$V_{out} = \frac{V_E}{2} + V_N \dots \dots \dots (5)$$

の関係式となる。ここで V_N を推定するために両辺の 2 乗平均を計算すると

$$\overline{V_{out}^2} = \overline{\left(\frac{V_E}{2} + V_N\right)^2} = \frac{\overline{V_E^2}}{4} + \overline{(V_E \cdot V_N)} + \overline{V_N^2} \dots \dots \dots (6)$$

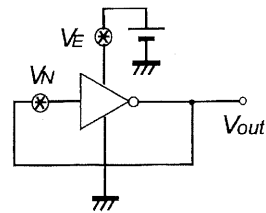


図6 電源由来の入力雑音

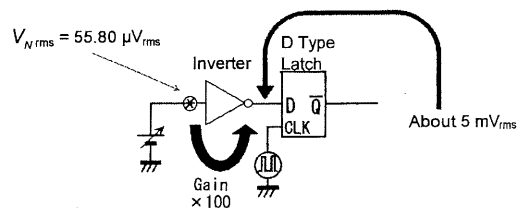


図7 電源由来の入力雑音により D-ラッチが受ける影響

となり、 $\overline{V_N^2}$ は

$$\overline{V_N^2} = \overline{V_{out}^2} - \frac{\overline{V_E^2}}{4} - \overline{(V_E \cdot V_N)} \dots \dots \dots (7)$$

ここで $\overline{(V_E \cdot V_N)}$ は無相関であると仮定すると 0 になり、 V_N の rms 値は

$$V_{Nrms} = \sqrt{\overline{V_{out}^2} - \frac{\overline{V_E^2}}{4}} \dots \dots \dots (8)$$

となる。電源由来の雑音 V_E 、 V_{out} の rms 値は個々に測定しており、 $V_{Erms} = 49.16 \mu Vrms$ 、 $V_{ourms} = 60.97 \mu Vrms$ である。その結果からインバータの入力換算雑音電圧 V_N の rms 値は $V_{Nrms} = 55.80 \mu Vrms$ と計算される。

以上より電源由来の雑音をインバータの入力 V_{in} に換算した雑音 V_{Nrms} は $55.80 \mu Vrms$ であるということになる。このことを次の図 7 を使って説明すると、インバータの入力には閾値付近で $V_{Nrms} = 55.80 \mu Vrms$ のばらつきがあるということであり、インバータの利得が大体 40 dB すなわち 100 倍であるため出力には約 5 mVrms になって見えるということになる。これがインバータの出力の“High”か“Low”か判別する D-ラッチの受ける影響に相当する。評価対象とする SFADC はインバータと D-ラッチを接続しているから、実際の測定では約 5 mVrms の不確定性を発生することになる。

4. SFADC 製作における問題点

SFADC 製作にあたり、CMOS インバータの個数が少数 (90 個) であるときに起こる問題点を検討する。

まず、CMOS インバータは 1 入力 1 出力のシングルエンド方式であり、シンプルで低コストだが、アナログ回路のコンパレータのような差動方式ではないため、簡単にインバータのオフセット電圧を変えることができない。すなわち、電源電圧を V_{dd} とした場合、インバータのスイッチング電圧は $V_{dd}/2$ であるから、電源や GND の雑音を直接に受

けてしまうことが考えられる。インバータ自身も雑音があるため、その雑音がインバータの利得が大きくなって出力結果として出てくることを考慮しなくてはならない。

このSFADCはインバータのオフセット電圧のばらつきを利用しているためオフセットばらつきの分布する範囲のみでしかAD変換ができない。このままだと入力範囲は図4より最大レンジの45mV分となる。しかし、この問題は前段にアンプなどを使って入力範囲の調節をしてやれば問題はない。

CMOS標準ロジックのインバータを使うことで生じる問題は、〈3・1〉で述べたように、チップ上でSFADCを製作した場合コンパレータのオフセット電圧は正規分布的であるが、CMOS標準ロジックインバータの場合、パッケージ間で閾値が大きく異なるため、全体としては正規分布を形成できないところにある。さらにインバータ個数が少ないとAD変換後の確率密度関数(PDF)が正規分布、あるいは一様分布を形成できない(個数が少ないと中とびしたり、あるところに集中したりする場合が目立つ)。ばらつくのは統計的性質のせいであるため、標準ロジックICで作ろうがワンチップで作ろうが同じであるが、ディスクリート部品のほうがパッケージ間で閾値が大きく異なるため、ばらつきが大きいとはいえる。従って、その影響がそのまま変換の誤差となると考えられる。

5. 試作したSFADCの評価

試作したSFADCの入力電圧が直流の時の出力(静的特性)、または正弦波を入力電圧に印加した時の出力(動的特性)を測定し、測定結果を評価する。測定の際の電源電圧は5Vとしている。

〈5・1〉 静的特性 インバータの雑音の影響を抑えるために、一定入力電圧を与えた状態でD-ラッチのクロックを1000回入力して測定し反転個数の平均をとる。その操作を入力電圧を1mV刻みで徐々に上げていきながら同様に行い、入力電圧に対する反転個数を調べた累積分布を図8に示す。

インバータ90個の閾値はすべて測定してあるので閾値による累積個数の結果に〈3・2〉で述べた雑音分を標準偏差5mVの正規分布として畳み込んだ予測曲線も合わせて載せた。

予測曲線と測定結果について、AD変換器としての有効ビット数ENOB[bit]を調べる。確率型AD変換では累積分布関数の直線部分を利用してAD変換するため、それ以外の部分は使わない。この直線部分の割合を厳密に決める方法はいくつかあるが⁹⁾、ここでは次のようにして近似的に直線範囲を決めた。具体的には、入力電圧0.01~0.04Vで各曲線を最小二乗法で直線近似し、その直線との最も誤差の大きい部分でENOBを以下の式により算出した。

$$ENOB = \frac{20 \log_{10} \frac{90}{x_n}}{6.02} \dots \dots \dots (9)$$

表1 ENOBの計算結果

データ値	予測値	測定値
ENOB	4.14	4.01

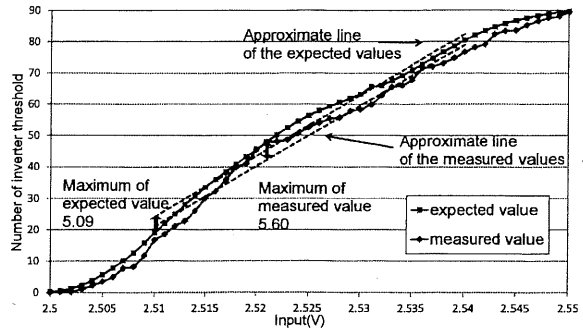


図8 評価するSFADCの静的特性

x_n は指定した入力範囲における測定値と近似直線の最大誤差個数である。入力電圧範囲0.01~0.04Vとしたとき、図8より予測値の x_n は5.09個、測定値の x_n は5.60個であった。以上の結果より、ENOBの計算結果を表1に示す。

雑音の影響などを考慮して推測される期待値と実測値が似たように推移していることが図とENOBの計算結果から推測できる。単調増加が確認でき、設計通りに動作していると考えられる。従って、コンパレータが少数の場合でもSFADCは作る意味がある。

インバータのオフセット電圧を一様分布からランダムに90個サンプルしたときのENOBの期待値は約4.5bitであるのため、この測定結果は妥当であると考えられる。

〈5・2〉 動的特性 正弦波を入力として印加し、入力振幅に対する出力結果4096ポイントをFFT(高速フーリエ変換)することでSNR/SFDR/SNDRを解析し、動的特性を明らかにした。解析結果を図9に示す。入力振幅のオフセットはインバータのオフセット電圧の存在する範囲(max range)の半分としている。入力周波数 $f_{in} = 1$ kHz、サンプリング周波数 $f_s = 100$ kHzとしている。

入力振幅を10mVから上げていくと、SNR、SNDR共に20dB/decadeで上昇する。インバータオフセットの分布(図4)からmax rangeは45mVppであり、これから予測されるように50mVppを境にしてSFDR、SNDRが下がる(出力がクリップして歪むため)。入力振幅をさらに上げていくと、SNRはさらに上昇するが、やがて出力が方形波になるため減少する。SNDRは次第に2値の出力に近づくため7.78dB(6.02+1.76)に漸近する。

SFDRは測定範囲で最大20dBである。90個のSNRの期待値は一様分布からランダムに90個持ってきたときの信号対量子化雑音比(SQNR)の平均値が $20 \log(n) + 7.78 = 27.3$ dB¹⁰⁾であるが、測定結果は最大でも20dBであった。これは〈3・2〉で述べたインバータの雑音や使用した電源の雑音、

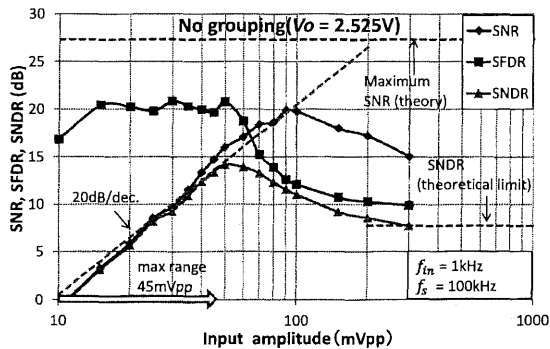


図9 入力振幅対 SNR/SFDR/SNDR

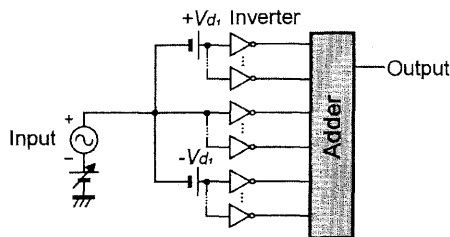


図10 3群に分割する際の概略図

入力波形の雑音等により SNR が低下したと推測される。

〈5・3〉 インバータを複数の群に分割したときの動的特性 CMOS インバータを複数の群に分割することの目的は、AD 変換の入力レンジを拡大させ線形性を改善するためである。インバータを2群、3群に分割し〈5・2〉と同様に測定した結果を評価する。3群に分割する際の概略図を図10に示す。インバータを用いた SFADC の場合、インバータのオフセットが正規分布でも一様分布でもないため、それぞれの群に最適な基準電圧を与えることは困難である。従って、群ごとにインバータの入力に下のようにして決めた異なる直流電圧を加算することでグループ分けを行った。

今回の分割方法は最大平坦設計⁹⁾を用いて、仮にインバータオフセットのヒストグラムを正規分布のように見立てると、標準偏差が 12.2 mV であるから群間電圧を V_{d1} とすると2群は $V_{d1} = 12.2$ mV、3群は $V_{d1} = \sqrt{3} \times 12.2 = 21$ mV だけ直流電圧を与えて群を離して測定した。また、群に与える直流電圧を入れ替えて同様に測定を行った(3群の場合は V_{d1} と $-V_{d1}$ の印加する群を入れ替えた)。

ここで複数の群に分割する仕方であるが、母集団からランダムに90個インバータを持ってきていることを考慮し、個々のインバータのオフセット電圧は既知であるが、複数の群に分割する際に人為的な選別をせずランダムに行った。よって実験の結果は2、3群に分割した最も特性の良いデータというわけではなく、あくまでランダムにとってランダムに分割を行った結果である。

2群の場合の測定結果を図11に、同じ条件で群に印加する電圧を入れ替えた測定結果を図12に示す。同様に、3群

の場合の測定結果を図13に、同じ条件で群に印加する電圧を入れ替えた測定結果を図14に示す。図12及び図14においては、インバータのオフセットの分布に偏りが生じていた。

単一群と同様に、2群及び3群の測定結果では、入力振幅を上げていくと、SNR、SNDR は共に 20 dB/decade で推移しており、SNR は最大 21 dB となる。SNDR は振幅が大きくなると次第に2値の出力に近づくため 7.78 dB (=6.02+1.76) に漸近する。

インバータを複数の群に分割することで得られる長所は、まずレンジ内において SFDR の最大値が上昇したことが挙げられる。その理由としてインバータを複数の群に分割することにより入力レンジが広くなるとともに、インバータのオフセット電圧のヒストグラムで分布状態に粗密ができにくくなり、結果として ADC の歪みを低減させ、線形性を向上させたと考えられる。

次に SNR に関しては、インバータを複数の群に分割し入力レンジを広げても、さほど SNR のパワーは向上していないことがわかる。これは、SNR はコンパレータ数で決まるので、入力レンジを変えても SNR が特に変わらないことを裏づけている。

複数の群に分割しても SNR はさほど変わらないが SNDR は上昇している。すなわち、このデータからも量子化雑音が改善するのではなく、歪みが改善されたといえる。

なお、実験に用いたインバータのオフセット電圧の分布は、正規分布とみなせるパッケージ内インバータのオフセット電圧をパッケージ間でばらつかせた分布であるため、複数の群に分割したとしても入力最大レンジが必ず広がるというわけではない。図12及び図14のように、複数の群に分割する際にインバータのオフセット電圧の偏りによっては、入力振幅を大きくするのに伴って SFDR のピークが2ヶ所できるなど、特性が改善されない場合もある。これは、インバータの個数が少なければ少ないほどオフセット電圧の偏りの分布が極端になりやすく、その影響が大きく現れたものと考えられる。

〈5・4〉 考 察 インバータのオフセット電圧の分布が一様分布あるいは正規分布ではない分布でも、複数の群に分割すると歪みが減らせる効果があり、複数の群に分割する前に比べて入力レンジ内で SFDR が約 5 dB 良くなっていることが確認できた。すなわち、線形性が改善できることが実証できた。この手法はコンパレータの個数が少数(90個)であっても線形性が改善できる。

一方、SNR はコンパレータの総数に依存しており、複数の群に分割してそれぞれに直流電圧を加算して入力レンジを変えても変わらないことが確認できた。

ただし、本実験装置ではインバータのオフセット電圧の分布が正規分布でも一様分布でもない分布であるため、複数の群に分割したとしても入力最大レンジが必ず広がるというわけではない。特にインバータの個数が少数であれば

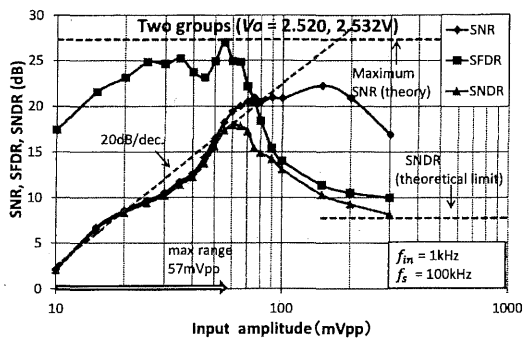


図 11 2 群に分割した入力振幅対 SNR/SFDR/SNDR

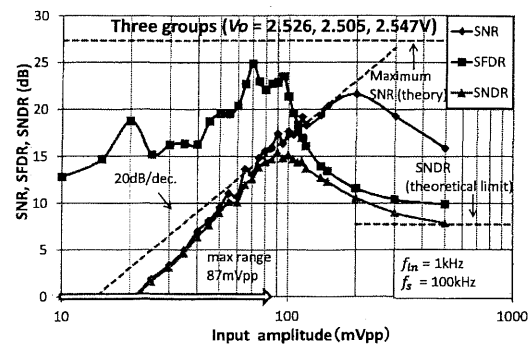


図 13 3 群分割した入力振幅対 SNR/SFDR/SNDR

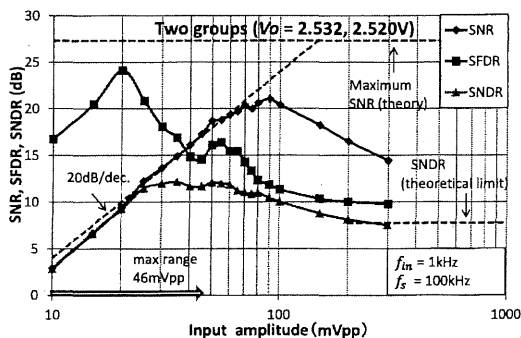


図 12 2 群に分割した入力振幅対 SNR/SFDR/SNDR
(図 11 の群に印加する電圧を入れ替えた)

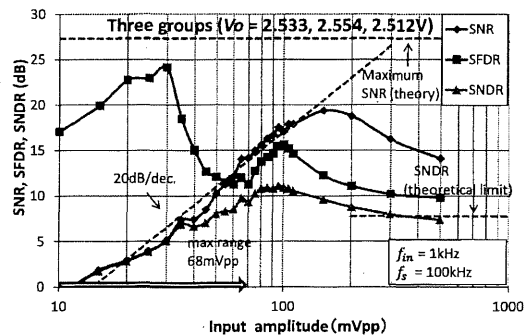


図 14 3 群に分割した入力振幅対 SNR/SFDR/SNDR
(図 13 の群に印加する電圧 V_{d1} と $-V_{d1}$ を入れ替えた)

複数の群に分割する際にオフセット電圧の偏りが生じた場合、偏りがより顕在化しやすくなり、その影響が AD 変換の歪みとして現れることが考えられる。そのため、複数の群に分割を行う際の偏りを抑えるためにも、ある程度の数のインバータが必要になることが理解される。このほかに、インバータを複数の群に分割して使用すると、インバータの利用効率が改善される利点がある。

6. まとめ

本報告では、SFADC においてコンパレータのオフセット電圧の分布を複数の群に分割することで線形性を良くする手法を実験的に検討した。その結果、標準ロジックのパッケージ間でインバータのオフセット電圧が大きく異なる影響で、分布が一様分布でも正規分布でもない分布であっても、インバータを複数の群に分割して AD 変換の最大レンジを拡大することにより、実験的にも線形性が良くなり、歪みが減らせることを示した。ただし、インバータ個数が少数で複数の群に分割する際にオフセット偏りが生じた場合、インバータ個数が多数の場合よりも偏りが顕著になり、その影響が AD 変換の歪みとして現れることも明らかになった。従って、コンパレータを複数の群に分割する際のオフセット電圧の偏りを抑えるために、ある程度のインバータ数が必要になる。さらに、実際のチップ上で SFADC を実装した場合にコンパレータオフセットの正規分布が多少崩

れていても、歪みを低減させる効果はあることも示せた。本報告では、分割したコンパレータ群の間を最大平坦近似となるように離して線形範囲を広げていたが、今後は等リプル近似の場合について検討を進める。

参考文献

- (1) S. Weaver, B. Hershberg, D. Knierim, U.-K. Moon, "A 6b Stochastic Flash Analog-to-Digital Converter Without Calibration or Reference Ladder," *IEEE A.S.S.C.C.*, 13-4, Nov. 2008.
- (2) H. Ham, T. Matsuoka, K. Taniguchi, "Application of Noise-Enhanced Detection of Subthreshold Signals for Communication Systems," *IEICE Trans. Fundamentals*, vol. E92-A, no. 4, pp. 1012-1081, April 2009.
- (3) 杉本俊貴, 谷本洋, 古澤真吾 「確率的フラッシュ AD 変換器の線形化」, 電子回路研究会, ECT-14-29, p153-159, 2014 年 1 月
- (4) H. Ham, 松岡俊匡, 王軍, 谷口研二, 「素子特性ミスマッチを用いた高速サンプリング並列型確率的 A-D コンバータの設計」, 電気学会論文誌 C, Vol. 131, No. 11, pp. 1848-1857, Nov. 2011.
- (5) 泰地増樹, 「CMOS アナログ/デジタル IC 設計の基礎」, CQ 出版社, 2010 年
- (6) 榎本忠義, 「CMOS 集積回路」, 培風館, 1996 年
- (7) 杉本俊貴, 谷本洋, 古澤真吾 「確率的フラッシュ AD 変換器に必要なコンパレータ数の見積もり手法」, 電気学会論文誌 C, 投稿中, 2014 年