

# 偶高調波ミクサと $\Delta\Sigma$ -TDCを用いた ダウンコンバーティングAD変換器の提案

高橋 卓人\*, 杉本 俊貴, 谷本 洋,  
吉澤 真吾 (北見工業大学)

A Downconverting A-to-D Converter Based on Even-Harmonic Mixer and  $\Delta\Sigma$ -TDC

Takahashi Takuto\*, Toshiki Sugimoto, Hiroshi Tanimoto, Shingo Yoshizawa (Kitami Institute of Technology)

## Abstract

A novel architecture of downconverting A-to-D Converter is proposed, which is based on an even-harmonic mixer and a  $\Delta\Sigma$ -Time-to-Digital Converter. Analog circuits can be minimized by the proposed architecture. As a design study, a test chip of 200 MHz RF signal to baseband downconverter is designed and fabricated in a standard 0.18  $\mu\text{m}$  CMOS technology. Preliminary measurement results verified its functional operation.

**キーワード**: 偶高調波ミクサ,  $\Delta\Sigma$ -TDC, AD変換器, ダウンコンバータ, ダイレクトコンバージョン, 時間-デジタル変換器 (even-harmonic mixer, delta-sigma-TDC, A-to-D Converter, downconverter, direct conversion, Time-to-Digital Converter)

## 1. はじめに

近年, 無線通信システムは広帯域化が進んでいる. 例えば IEEE 802.11ac では 40/80/160 MHz の帯域幅が使われ<sup>(1)</sup>, 携帯電話や無線 LAN のような典型的な無線通信システムでは主に 2 GHz や 5 GHz 帯が使われている. しかし, 現状では AD 変換器 (ADC) を用いて直接 RF 信号をデジタル信号に変換するのは困難であり大きな電力を消費する. そこで一般的な無線通信システムではダウンコンバータを ADC の前に配置することで最適な消費電力と性能のトレードオフを追及している. しかし, この構成では中間周波数 (IF) やベースバンド周波数 (BB) のために高精度のアナログフィルタが必要となる.

これに対して高精度のアナログフィルタを用いずにダウンコンバータからデジタル出力を得ることができれば, デジタル回路とソフトウェアによるデジタル信号処理によって受信信号の処理に大きな自由度を得ることができると考えられる.

そのような, ダウンコンバータと ADC を一体化しようとする試みとしては柳沢らの提案がある<sup>(2)</sup>. これは偶高調波ミクサ (EHMIX) とそれに後置された通常の連続時間  $\Delta\Sigma$ -ADC によって構成されており,  $\Delta\Sigma$ -ADC 内部の積分器はアンチエイリアシング LPF(AAF) として機能するため, AAF を除去することができるという特徴がある. しかし, この構成では EHMIX の出力電圧を AD 変換しているだけであり, 依然として  $\Delta\Sigma$ -ADC のために OTA を用いた高精度のアナログ積分器が必要である. 小室らは精密なアナログ回路を ADC から無くすためパルス幅変調 (PWM) とフラッシュ型時間-デジタル変換器 (TDC) を接続した構成の ADC を提案した<sup>(3)</sup>. しかし, これはダウンコンバーティング ADC ではなく, 通常のベースバンド信号を電圧-時間変換し, その

時間をフラッシュ型 TDC を用いて AD 変換するものである.

我々は EHMIX と  $\Delta\Sigma$  型 TDC を用いた ADC を提案する. EHMIX は原理的に自己混合が無いためダイレクトコンバージョン受信機に適したミクサであり, PWM 変調機能を持つダウンコンバータとして知られている<sup>(4)</sup>. 我々は  $\Delta\Sigma$ -TDC を使って EHMIX の出力の PWM 変調波を計測することにした. これにより RF キャリア周波数が信号帯域よりきわめて高いためオーバーサンプリング技術を使うことで ADC の分解能を向上させることが可能である. 我々は 100 倍程度のオーバーサンプリング比で RF 信号をダウンコンバートしようとしている. また, 参考文献<sup>(2)(3)</sup> と異なり位相比較器とチャージポンプは  $\Delta\Sigma$ -TDC のフィードバックループに含まれているため, ループ利得が高ければこれらの非線形性の影響軽減が期待される.

本論文では EHMIX と 1 次  $\Delta\Sigma$ -TDC を用いた 200 MHz の RF 信号を扱うダウンコンバーティング ADC を提案し, その実現可能性と 0.18  $\mu\text{m}$  CMOS プロセスでのトランジスタレベルでの設計について検討した. さらに, この設計検討に基づいて 0.18  $\mu\text{m}$  CMOS プロセスにて試作したチップの予備的な評価結果についても述べる.

## 2. 偶高調波ミクサ

図 1 で EHMIX の原理を説明する. 図 1(a) に理想化した EHMIX の構成を示した. RF 信号と LO 信号を加算し, 理想的な比較器 (理想リミッタ) に入力され, その出力信号はパルス幅変調された矩形波に変換される. 図 1(b) にどのように PWM 変調が実現されるのかを示す. 図 1(b) 中の破線の矩形波によって示されるように, 理想的な比較器の出力の立ち上がりエッジは, RF 信号の振幅が増加すると, 左に向かって移動する.

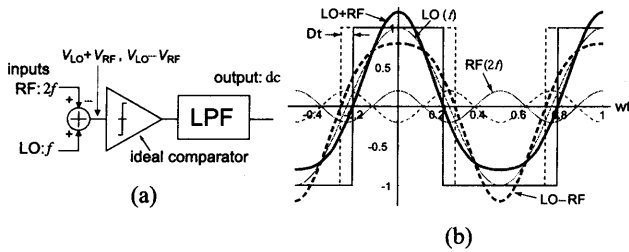


図1 Principle of EHMIX (a), and its PWM action (b).

EHMIXは非線形素子の奇対称性によってつくられる3次歪みによる $2f_{LO} \pm f_{RF}$ の成分を利用している<sup>(4)</sup>。ここで $f_{LO}$ は局部発振器の周波数、 $f_{RF}$ はRF信号の周波数である。もし、 $2f_{LO} \approx f_{RF}$ となるように設定すると、 $2f_{LO} - f_{RF}$ の成分によりRF信号をBBヘダウンコンバートすることができる。なお、EHMIXは $f_{LO} \neq f_{RF}$ なのでダイレクトコンバージョンで大きな問題となる自己混合を原理的に引き起こさないという特徴がある。

EHMIXの従来の使用方法では出力の矩形波をアナログLPFを用いて平均化することでRF信号の復調信号を得る。しかし、LO信号とEHMIXの出力のゼロクロス時間の違いをデジタル的に測定することができれば、測定した信号に対してデジタルフィルタ処理を行うことで、ベースバンドでの帯域幅(BW)の変化に対する大きな柔軟性を得ることができる。

また、時間間隔の測定にはゼロクロスのタイミングだけが重要であり、比較器の出力電圧は重要ではないという特徴がある。この特徴からEHMIXをPWM変調器として用いる場合、正確なアナログコンパレータの代わりに単純で高速のCMOSインバータを使用することも可能であると考えられ、低電源電圧で動作する可能性がある。

### 3. 時間-デジタル変換器

時間-デジタル変換器(time-to-digital converter; 以下TDCと略記する)にはフラッシュ型<sup>(7)</sup>、バーニア型<sup>(8)</sup>、 $\Delta\Sigma$ 変調型<sup>(10)~(12)</sup>などいくつかの種類が存在する。はじめの二つのタイプはデジタル回路のみで構成されるが細かい時間分解能を得ようとすると遅延段の数が多くなりハードウェアが大きくなる傾向にある。これらは単発現象の時間差の測定には適しているが、ノイズシェーピング技術によるTDCの分解能の向上を利用できないのでEHMIX出力のように繰り返す時間間隔の測定には適していない。

これとは対照的に $\Delta\Sigma$ -TDCはノイズシェーピング機能により、EHMIX出力の持つ大きなオーバーサンプリング率を最大限活用することができる。そこで我々はアナログ回路ブロックとして位相比較器とチャージポンプだけを使う $\Delta\Sigma$ -TDCを使用した。 $\Delta\Sigma$ -TDCについては(4.1)節で説明する。

### 4. ダウンコンバーティングADCの基本構成

図2に提案するダウンコンバーティングADCの基本構成を示す。本論文は提案する構成でのダウンコンバーティングADCの実現可能性を示す事が主目的である。図2中

の各ブロックについては以下の節で説明する。

**〈4.1〉 CMOSインバータを用いた差動型EHMIX** 本報告では差動型EHMIXを、線形な加減算を実現するためバランstransを用いることで実現した。将来的にGHz帯の信号を扱う場合にはオンチップバランが利用可能であろう。

いま、 $V_{LO}(t) = \alpha \cos \omega_{LO} t$ 、 $V_{RF}(t) = \beta \cos 2\omega_{LO} t$ とすると $V_{LO}(t) + V_{RF}(t)$ のゼロクロス時間は以下の式で与えられる。

$$t = \frac{1}{\omega_{LO}} \arccos \frac{-1 + \sqrt{1 + 8(\beta/\alpha)^2}}{4(\beta/\alpha)}, \quad (1)$$

ここで $\alpha$ と $\beta$ はそれぞれLO信号とRF信号の振幅である<sup>(9)</sup>。

式(1)より正規化したRF信号振幅が $\beta/\alpha = 0$ のとき $t_0 = 1/4f_{LO}$ (RF信号がない場合)、 $\beta/\alpha = 1$ (RF信号が最大入力の場合)のとき $t_1 = 1/6f_{LO}$ のようにゼロクロス時間を計算することができる。以上から、RF信号がない場合から最大入力まで変化した場合 $V_{LO}(t) + V_{RF}(t)$ によるゼロクロス時間 $\Delta t$ は $\Delta t = t_0 - t_1 = 1/12f_{LO}$ だけ進む。同様に、 $V_{LO}(t) - V_{RF}(t)$ による位相の変化は同じく最大入力時に $\Delta t = 1/12f_{LO}$ だけ遅れる。つまり、図2中のインバータ出力④と⑤の立ち上がり時間差は0から最大で $1/6f_{LO}$ まで変化する。

例えば $f_{LO} = 100$  MHzのとき最大発生時間差は $\Delta t = 1.67$  nsである。したがって8-bitの分解能が必要な場合フラッシュ型TDCでは6.5 psの遅延素子が256個必要になる。この伝搬遅延時間は非常に小さいため0.18 $\mu$ m CMOSプロセスで実現するのは困難である。しかし、 $\Delta\Sigma$ -TDCを用いれば必要な大きさの遅延素子が作れなかったとしてもオーバーサンプリング比とノイズシェーピングの組み合わせによって高分解能化が可能である。

**〈4.2〉  $\Delta\Sigma$ 時間-デジタル変換器** 1次1-bit  $\Delta\Sigma$ -TDCの分解能を推定する。1次 $\Delta\Sigma$ -ADCの信号対量子化雑音比(SQNR)の最大値は以下の式で与えられる<sup>(6)</sup>。

$$SQNR = \frac{9M^2(f_s/2f_{BB})^3}{2\pi^2}, \quad (2)$$

ここで $f_s$ はサンプリング周波数、 $f_{BB}$ は(片側表現における)ベースバンド信号の帯域幅である。提案構成では $f_s = f_{LO}$ となる。 $M$ は $m$ を量子化ステップ数としたとき $M = \text{Floor}(\frac{m+1}{2})$ で与えられる。本研究では1-bit量子化器を用いるため $M = 1$ となる。

例えば本論文で扱うように $f_{LO} = 100$  MHz、 $f_{BB} = 0.5$  MHzのときオーバーサンプリング比は $f_s/2f_{BB} = 100$ となり $SQNR = 56.6$  dB=9.4 bitsとなる。高分解能化のためにはマルチビットのADCを $\Delta\Sigma$ ループに使う<sup>(12)</sup>、高次の $\Delta\Sigma$ ループを使う<sup>(11)</sup>などの方法がある。しかし、これらの $\Delta\Sigma$ -TDCについての報告のオーバーサンプリング周波数は、まだ十分高速ではなく、250MHz程度であるが今後改善が見込まれる。

本研究では位相比較器、チャージポンプ、1-bit量子化器に

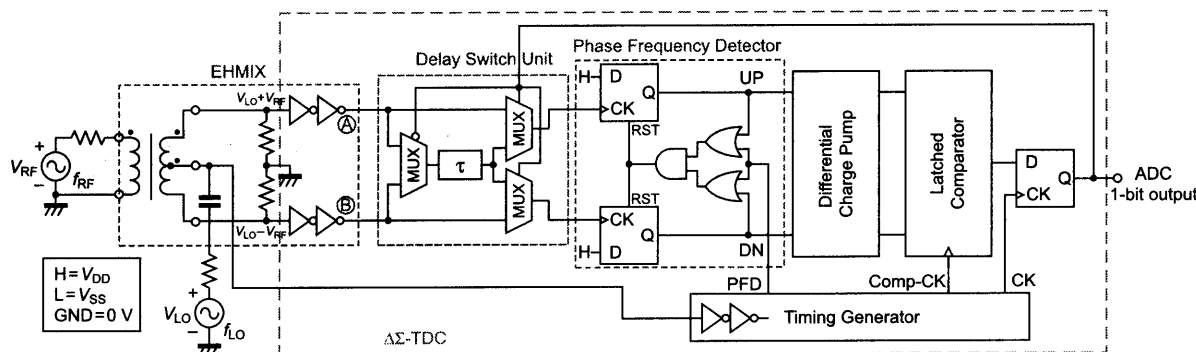


図2 Basic construction of proposed downconverting ADC

より構成される1次 $\Delta\Sigma$ -TDCを設計した。図2に $\Delta\Sigma$ -TDCの各ブロックを示し、それらについて以下の項で説明する。

**〈4・2・1〉 位相比較器** 差動EHMIXの出力はまず位相比較器に入力される。位相比較器には2つのD-ラッチとANDゲートによって構成される典型的な位相/周波数検出器(PFD)<sup>(13)</sup>を使用した。過大なRF信号による不正信号(LOの1周期に2回以上発生する立ち上がりの位相変化)を検出しないように、出力UPとDNは2つのORゲートとタイミングジェネレータ出力“PFD”により制御されている。

**〈4・2・2〉 遅延制御部** 遅延制御部は $\Delta\Sigma$ フィードバックループ内でローカルDACとして機能する。 $\Delta\Sigma$ -TDCの入力が2信号の時間差なので帰還信号も時間差である必要があるが、負の時間遅延をすることはできないので、正の時間遅延を差動型EHMIXの片方の出力信号に与えることで差動型EHMIX出力に相対的な時間変化を与えている<sup>(12)</sup>。したがって遅延制御部の遅延時間は0か $\tau$ となる。

ADCは1ビットなので、遅延時間がTDC全体のフルスケールを決定する。遅延時間は設計上 $\tau = 1/6f_{LO} \approx 1.7$  nsに設定した。これは $f_{LO} = 100$  MHzのときの最大RF入力( $\beta/\alpha = 1$ )の場合に発生する時間差に相当する。しかし、もし実際に入力される信号が予め分かっていたら、その場合の発生時間差に近い遅延時間を選んだ方が $\Delta\Sigma$ -TDCの分解能は向上する。

本設計ではインパータの縦続接続を用いて遅延時間 $\tau$ を実現したが、実際の遅延時間 $\tau$ は電源電圧、プロセスの変化など様々な要因によって変化するため $\tau$ について何らかの較正機構を必要とする。これは例えば遅延ロックループに基づいたシステム<sup>(14)</sup>で実現できる。テストチップでは遅延時間 $\tau$ を変化させるため当該インパータの $V_{DD}$ だけを外部から変化させられるようにした(自動較正機構は内蔵していない)。

**〈4・2・3〉 差動チャージポンプ** 本設計ではUPとDNの電流の不整合を防ぐため、伝統的なシングルエンドのチャージポンプ<sup>(15)</sup>の代わりに図3に示す差動チャージポンプを採用した。過渡的に両方のPMOSスイッチがオンとなる場合の放電を防ぐため2つのダイオードが直列に挿入されている。これらのダイオードは寄生容量を最小限に抑え

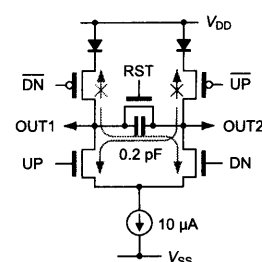


図3 Differential charge-pump circuit

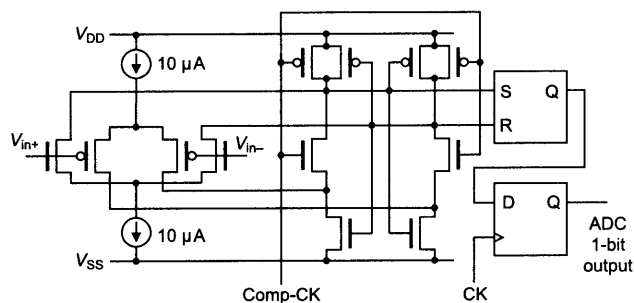


図4 Latched comparator circuit

るために最小寸法のNMOSトランジスタのドレイン/ソースとウェルの間のpn接合によって実現した。また、リセットスイッチは積分コンデンサの初期電荷を放電するために用いられる。

**〈4・2・4〉 クロック同期コンパレータ** 図4にクロック同期コンパレータの回路図を示す。プリアンプ部分は広い同相入力範囲を確保するため、NMOSとPMOSの差動段で構成した。また、Dラッチはタイミング同期のために挿入した。

**〈4・2・5〉 タイミングジェネレータ** ダウンコンバーティングADC内のタイミングは全てLO信号に同期している。そのため、クロック信号は全てLO信号から作ることができる。図5に発生する信号と位相比較器、クロック同期コンパレータのためのクロック信号のタイミングチャートを示す。

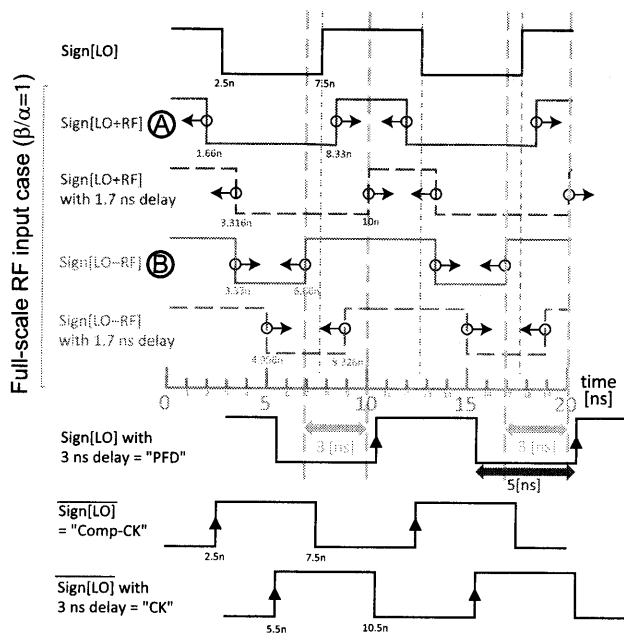


図5 タイミングチャート

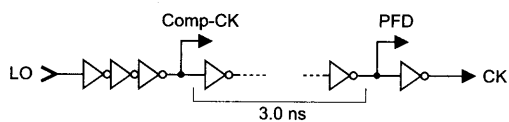


図6 タイミング生成回路の実装

図5はフルスケールのRF信号(LO信号とRF信号の振幅が同じ)が入力された場合のタイミングである。ここでは $f_{RF} = 2f_{LO}$ が想定されている。Sign[LO]と示された一番上の信号は理想的なリミッタを通過した後のLO信号から得られる矩形波を示している。我々はゼロクロス点が $t = 2.5 \text{ ns}$ と $7.5 \text{ ns}$ である余弦波LO信号を仮定した。同様にSign[LO+RF]とSign[LO-RF]は理想リミッタを通った後の矩形波を示す、これらは図2中のAとBの波形に対応している。

図5のタイミングチャートはRF入力信号の振幅が0からフルスケールまで増加したとき、Sign[LO+RF]の立ち上がりエッジは $t = 7.5 \text{ ns}$ から $t = (7.5 + 0.833) \text{ ns}$ まで変化し、Sign[LO-RF]の立ち上がりエッジは $t = 7.5 \text{ ns}$ から $t = (7.5 - 0.833) \text{ ns}$ まで変化する事を示している。実際にはこれらのエンコードされた時間差は破線に示されるようにADC出力と遅延制御部によって1.7 nsだけ遅延する場合と、全く遅延しない場合がある。したがって、タイミングチャートに示すように、立ち上がりエッジは3 nsの期間内で変化する。

これはチャージポンプの出力がこの期間内において変化する事を示している。そのため、この期間の経過後にクロック同期コンパレータの値を決定する必要がある。これは反

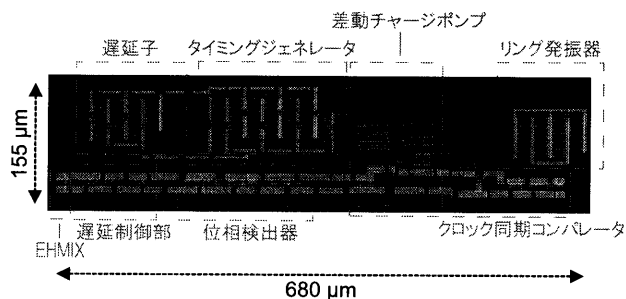


図7 Layout of the downconverting ADC.

転したLO信号“Comp-CK”によって実現される。その後、コンパレータの出力はDラッチとクロック信号“CK”によって決定される。タイミングチャートに示すように“CK”信号は“Comp-CK”信号を3 ns遅延させることで実現できる。最後に、フルスケール以上の過大なRF入力に起因する不正な動作を防止するために、LOから作った“PFD”信号が“H”の間、位相/周波数検出器の両方の出力を“L”に強制するようにした。

まとめると、タイミングチャートの下部に示すように“PFD”、“Comp-CK”、“CK”の3つの論理制御クロック信号がある。これらの信号は、図6に示すように、縦続接続したインバータで構成される遅延回路によって生成される。インバータの実際の段数はシミュレーションの結果により最適化した。

図7にバラントランスを除いたダウンコンバーティングADC全体のテストチップのレイアウトを示す。ADCは標準的な $0.18 \mu\text{m}$  CMOSプロセスで設計されており、チップ面積は $680 \mu\text{m} \times 155 \mu\text{m}$ である。上部は遅延回路のためのインバータチェーンで、下部にはEHMIXとPFD、チャージポンプとクロック同期コンパレータがある。

## 5. シミュレーションと測定結果

〈5・1〉シミュレーション条件 提案するダウンコンバーティングADCについて、トランジスタレベルのシミュレーションを行った。シミュレータはSpectreを用い、VDECの提供するRHOM社 $0.18 \mu\text{m}$  CMOSプロセスのパラメータ(bsim3.3)を使った。シミュレーションでは電源電圧に $\pm 0.9 \text{ V}$ を与え、バラントランスだけは理想トランスで置き換えた。LO信号は正弦波で周波数 $f_{LO} = 100 \text{ MHz}$ で振幅 $0.9 V_{0-p}$ (つまり $\alpha = 0.9$ )とし、RF信号は $f_{RF} \approx 200 \text{ MHz}$ の正弦波で、その振幅を変化させた。

過渡解析の結果は“CK”のクロックごとにサンプルし、最終的に得られたデータに対して8,192ポイントのFFTを実行した。

〈5・2〉シミュレーション結果 LO振幅を $\alpha = 0.9 \text{ V}$ に固定したまま、RF信号の振幅を $\beta/\alpha = 0$ から0.7まで変化させてシミュレーションを行い、提案するダウンコンバーティングADCの入出力特性を調べた。

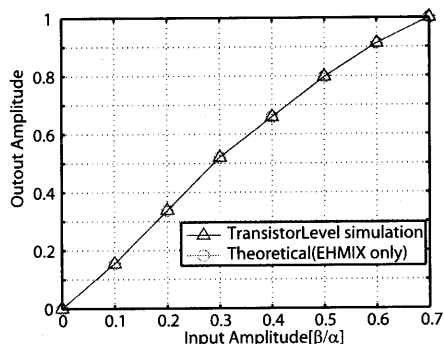


図 8 Theoretical vs. simulated input-output characteristics

信号と残留 DC 成分を分離するために RF 周波数を  $2f_{LO} = 200 \text{ MHz}$  から  $0.867 \text{ MHz}$  だけオフセットさせた (つまり  $f_{RF} = 200.867 \text{ MHz}$ ). RF 振幅を変化させたときの過渡解析の FFT 結果から  $0.867 \text{ MHz}$  成分のプロットを図 8 に青の線で示す. また, 図 8 には参照目的の理想的な EHMIX 単体のシミュレーション結果も示す. これらは利得が異なるため最大電圧を 1 とするように正規化して示した. 図 8 から分かるようにこれらの入出力特性はよく一致している.

図 9 に  $f_{RF} = 200.867 \text{ MHz}$  と  $f_{LO} = 100 \text{ MHz}$  で  $\beta/\alpha = 0.2$  のときのシングルトーンテストの結果を示す. FFT 結果には明らかにダウンコンバートされた  $867 \text{ kHz}$  のスペクトラムがあることが分かる. また, 1 次ノイズシェーピングがはっきり確認できる. しかし, 大きな 2 次, 3 次高調波成分を確認することができる.

図 10 に 2 トーンテストの結果を示す. 2 つの RF 入力信号は周波数が  $200.707 \text{ MHz}$  と  $200.867 \text{ MHz}$  で EHMIX インバータへの入力振幅は  $0.09 V_{OP}$  ( $\beta/\alpha = 0.1$ ) とした. 図 10 から  $IIP3$  は  $0.572 V_{OP}$  と計算することができる. これは理論的な EHMIX の  $IIP3 = \sqrt{8/11}|\alpha| \approx 0.853^{(5)}$  と比べて  $3.5 \text{ dB}$  低い.

〈5・3〉 予備的測定の結果 図 11 にテストチップの予備的測定の結果を示す. インバータ 1 段の遅延量を確認するため  $\Delta\Sigma\text{-TDC}$  と同じチップ上に設けたリング発振器の発振周波数がシミュレーションでは  $200 \text{ MHz}$  程度で動作していたのに対して実際には  $150 \text{ MHz}$  程度だった. そのため, ダウンコンバーティング ADC の測定を  $f_{LO} = 10 \text{ MHz}$  と  $f_{RF} = 20.04 \text{ MHz}$  で行った. 図 11 は  $\beta/\alpha = 0.03$  のときの出力波形の FFT 結果である. 測定には FPGA を使って  $\Delta\Sigma\text{-TDC}$  の出力を収集し, その結果を PC 上にてデジタル的に評価した.

測定結果 (図 11) には明らかにダウンコンバートされた  $40 \text{ kHz}$  のスペクトラムが立っていることが確認できる. また, 1 次ノイズシェーピングがはっきり確認できる. しかし, 2~4 次の高調波や DC 付近に大きな出力が確認できた. 内部回路は PFD を除き差動構成になっているので偶数次歪みの発生源は今のところ不明である. ただし, 図 4 に示したクロック同期コンパレータ単体の評価結果から, 入力換

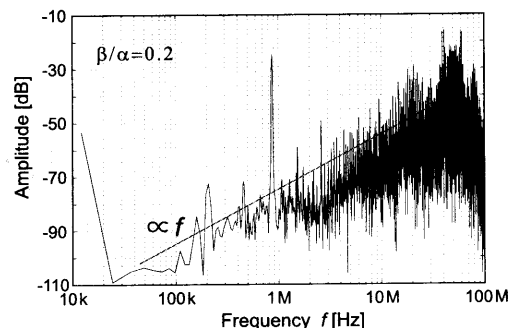


図 9 FFT result for  $\beta/\alpha = 0.2$ ,  $f_{RF} = 200.867 \text{ MHz}$ ,  $f_{LO} = 100 \text{ MHz}$ .

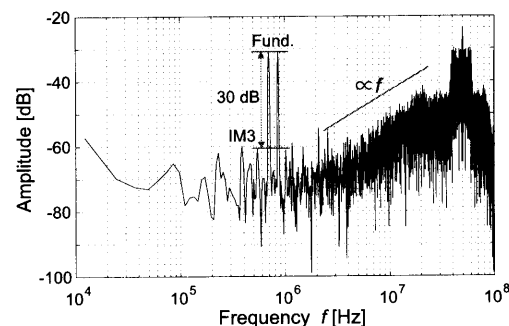


図 10 IM3 simulation for  $\beta/\alpha = 0.1$ ,  $f_{RF} = 200.707 \text{ MHz}$ ,  $200.876 \text{ MHz}$ .

算オフセット電圧が  $80 \text{ mV}$  程度あることが分かっており DC 付近の不正出力はこれが原因の一つであると考えられる.

この時の SNDR は帯域幅を  $0 \text{ Hz}$  から  $50 \text{ kHz}$  として  $-1.3 \text{ dB}$  であったが,  $8,192$  個の周波数ビンのうち DC 及びその次のビン ( $1.221 \text{ kHz}$ ) の電力を除くと SNDR は  $21.42 \text{ dB}$  となった.

図 12 は  $\beta/\alpha$  を変化させたときの DC 成分と基本波, 高調波をプロットした図である. 同図から基本波成分は入力を増やすと線形に増加している事が確認できる. しかし, DC 成分は入力に依存して変動しており, 2 次高調波が 3 次高調波より大きく出力されているなど異常な挙動を示している. これらの原因については評価方法の問題もあると考えられ, 現在検討中である.

〈5・4〉 高速・高分解能化のための考察 この設計検討では PFD のブロックが最も遅いブロックであることが分かった. いくつかの GHz 帯で動作する CMOS PFD が提案されており<sup>(15)(16)</sup> もっと微細なプロセス技術を使ったり, 伝統的な CMOS ロジックの代わりに電流モードロジック (CML) を使うことで LO 周波数, もしくはサンプリング周波数はさらに高速化することができる.

また, 提案するダウンコンバーティング ADC の分解能は高次の  $\Delta\Sigma\text{-TDC}$ <sup>(10)(11)</sup> やマルチビット  $\Delta\Sigma\text{-TDC}$ <sup>(12)</sup> を使うことで改善できる.

レイアウトを小さくする努力は特に行わなかったが, 容易に現在のサイズの  $2/3$  程度にすることができる.

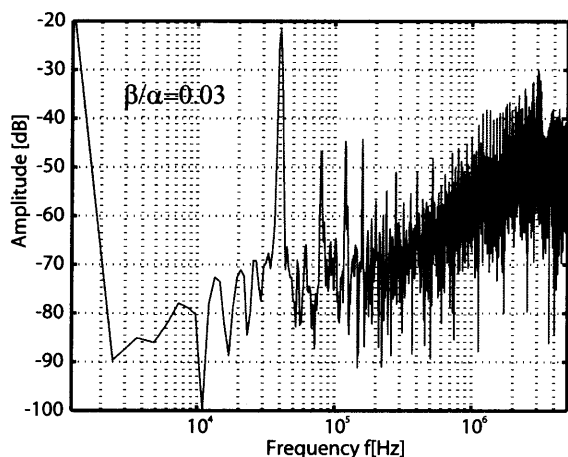


図 11 Measured result for  $\beta/\alpha = 0.03$ ,  $f_{RF} = 20.04$  MHz,  $f_{LO} = 10$  MHz.

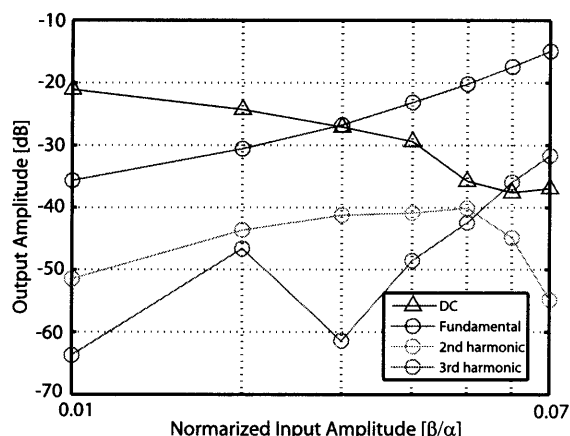


図 12 Measured result of input-output characteristic  $f_{RF} = 20.0074$  MHz,  $f_{LO} = 10$  MHz.

## 6. おわりに

EHMIX と  $\Delta\Sigma$ -TDC を使ったダウンコンバーティング ADC を提案し、その基本設計を示した。回路シミュレーションによりその機能動作と 1 次ノイズシェーピングを確認し、提案した構成で 200 MHz をベースバンドへ変換する ADC を 0.18  $\mu\text{m}$  CMOS プロセス技術で設計・試作した。

試作チップの予備的な評価結果によれば、入力信号周波数 20 MHz において、提案したダウンコンバーティング ADC の機能動作を確認し、提案方式の実現可能性を示した。今後は試作チップのより詳細な評価を進め、歪みの改善と PFD の高速化の問題に取り組みたい。

## 謝 辞

EHMIX に関して議論していただいた北田昂成氏と鈴木優太氏 (北見工科大学) に感謝します。

本研究は JSPS 科研費 (15K06048) と東京大学大規模集積システム設計教育研究センター (VDEC) を通し、日本ケイデンス株式会社の協力で行われたものである。

## 参考文献

- (1) IEEE Std 802.11ac™-2013, Part 11: Wireless LAN medium access control (MAC) and physical layer (PHY) specifications, IEEE Computer Society, 2013.
- (2) K. Yanagisawa, T. Takuya, Y. Yamanaka, A. Yasuda, "Examination of  $\Delta\Sigma$  modulator with harmonic mixer function(in Japanese)," The 20th Workshop on Circuits and Systems in Karuizawa, Apr. 2007.
- (3) T. Komuro, J. Rivoir, K. Shimizu, H. Kono, H. Kobayashi, "ADC architecture using time-to-digital converter(in Japanese)," *IEICE Trans. C*, Vol. J90-C, No. 2, pp. 125–133, Feb. 2007.
- (4) T. Yamaji, H. Tanimoto, H. Kokatsu, "An I/Q active balanced harmonic mixer with IM2 cancelers and a 45° phase shifter," *IEEE J.S.S.C.*, Vol.33, No.12, pp.2240–2246, Dec. 1998.
- (5) H. Tanimoto, T. Yamaji, "A balanced harmonic mixer based on BJT differential pairs," *2001 Microwave Workshop and Exhibition (MWE'01)*, Yokohama, Dec. 2001.
- (6) R. Schreier, G. C. Temes, *Understanding delta-sigma data converters*, Chapter 2.4, John Wiley & Sons, Inc, 2005.
- (7) R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg, and P. T. Balsara, "1.3 V 20 ps time-to-digital converter for frequency synthesis in 90-nm CMOS," *IEEE Trans. Circuits Syst. II*, vol. 53, no. 3, pp. 220–224, Mar. 2006.
- (8) P. Dudek, S. Szczepanski, and J. V. Hatfield, "A high-resolution CMOS time-to-digital converter utilizing a vernier delay line," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 240–247, Feb. 2000.
- (9) St. Henzler, S. Koeppe, D. Lorenz, W. Kamp, R. Kuenemund, D. Schmitt-Landsiedel, "A local passive time interpolation concept for variation-tolerant high-resolution time-to-digital conversion," *IEEE J.S.S.C.*, Vol. 43, No. 7, pp. 1666–1676, July 2008.
- (10) B. Young, K. Elshazly, P. K. Hanumolu, "A 2.4 ps resolution 2.1 mW second-order noise-shaped time-to-digital converter with 3.2 ns range in 1 MHz bandwidth," *Proc. 2010 IEEE Custom Integrated Circuit Conference*, San Jose, 2010.
- (11) Y. Cao, W. De Cock, M. Steyaert, P. Leroux, "1-1-1 MASH  $\Delta\Sigma$  time-to-digital converters with 6 ps resolution and third-order noise-shaping," *IEEE J.S.S.C.*, Vol. 47, No. 9, pp. 2093–2106, Sep. 2012.
- (12) S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, F. Abe, D. Hirabayashi, "Multi-bit sigma-delta TDC architecture with self-calibration," in *Proc. IEEE Asia Pacific Conference on Circuits and Systems*, pp. 671–674, Dec. 2012.
- (13) B. Razavi, *RF Microelectronics Second Edition*, 9.3.1, pp. 612–614, Prentice Hall, 2012.
- (14) S. Henzler, S. Koeppe, D. Lorenz, W. Kamp, R. Kuenemund, D. Schmitt-Landsiedel, "A local passive time interpolation concept for variation-tolerant high-resolution time-to-digital conversion," *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 7, pp. 1666–1676, July 2008.
- (15) M. Mansuri, D. Liu, C.-K. K. Yang, "Fast frequency acquisition phase-frequency detectors for GSa/s phase-locked loops," *Proceedings of ESSCIRC 2001*, pp. 333–336, Sept. 2001.
- (16) V. Lure, V. G. Nasre, "Low power CMOS phase frequency detector – A review," *Int. J. of Scientific Research Publications*, Vol. 2, No. 1, Jan. 2012.