

# 集積化可変RCポリフェーズフィルタの設計

伴内 優貴\*, 谷本 洋, 吉澤真吾  
(北見工業大学)

## Design of Integrated Variable RC Polyphase Filter

Bannai Yuki\*, Hiroshi Tanimoto, Shingo Yoshizawa (Kitami Institute of Technology)

### Abstract

RC polyphase filter(RCPF) is an analog complex filter and is used for image rejection of radio receivers. We propose a variable RCPF for automatic tuning system. Fixed capacitors and resistor arrays are used to realize the variability. Also we propose method to cancel parasitic capacitances, and confirmed its operation by simulation. This paper presents a design result of third order digitally controlled variable RCPF in 0.18  $\mu\text{m}$  CMOS technology.

キーワード：RC ポリフェーズフィルタ, 自動チューニング, 可変フィルタ  
(RC Polyphase Filter, Automatic Tuning)

### 1. はじめに

RC ポリフェーズフィルタ (RCPF) は, アナログ複素フィルタであり, 無線通信システムのイメージ除去フィルタなどとして広く利用されている<sup>(1)</sup>. しかし LSI 上の素子は製造時にばらつくため, 精密な信号処理を行うためには, 設計値となるよう製造後にチューニングする必要がある<sup>(2)</sup>.

我々は, MOS 抵抗を用いた可変 RCPF を提案している<sup>(1)</sup>. 本論文では, 従来の可変方法の問題点を挙げ, それを解決するために, 相対ばらつきの少ない固定素子をスイッチで切り替える方式を提案する.

固定素子をアレイ状に配して切り替える手法は知られているものの<sup>(3)</sup>, 抵抗値を細かく分割して可変分解能を上げると, スwitchの寄生容量や ON 抵抗の影響が大きくなり, 可変の精度と周波数特性のバランスをとることが難しくなる. 本論文では可変分解能を上げるために, 直列と並列を組み合わせ寄生の影響を低減した直並列の構造を提案し, その検討結果と, 提案に基づく設計について報告する.

### 2. RCPF の可変方法

〈2.1〉 自動チューニングの必要性 RCPF を構成している  $R$  や  $C$  は典型的には, それぞれ最大で  $\pm 10\%$  程度のばらつきが生じる<sup>(4)</sup>. RCPF の周波数特性は,  $R$  と  $C$  の構成する時定数によって決まるため, 素子値のばらつきによって, RCPF の特性が周波数軸上において平行移動する. 通過域に関しては, 図 1 の青色の特性のように特性がほぼ平坦で, 信号は減衰することなく通過するため平行移動しても大きな影響はない. しかし, 阻止域に関しては, ノッチの位置がずれ, 阻止域の両端付近では, 減衰量が大きく変化するため深刻な問題となり得る.

一般的には, 図 2 の破線のようにばらつきの分を見込んで, 所望の周波数帯の減衰量を確保するために, 比帯域を設計値に対して余裕を持たせて対処する. しかしこの方法では, 緑の破線のように, 全体的に減衰量が小さくなる. RCPF の

段数を増やせば対処できるが, 回路の規模が大きくなる.

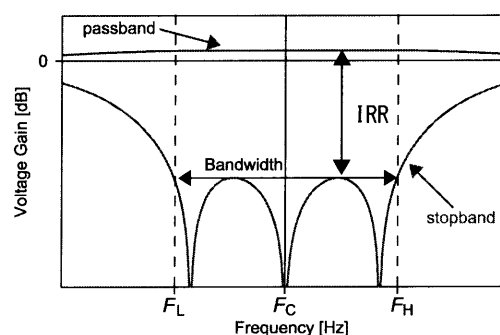


図 1 3 段 RCPF の周波数特性

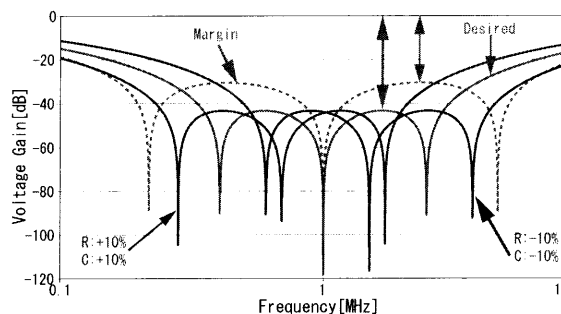


図 2 阻止域のばらつきによる影響

ばらつきによる周波数特性の変化分をフィルタ自身で調整できれば, 大きめの段数, 帯域幅にする必要がなくなるため, チューニングすることが有効である. 以上の理由から集積化可変 RCPF を設計した.

〈2・2〉 可変方法の検討 我々は、MOS 抵抗を用いた可変 RCPF を提案し、LSI 化した結果についても報告した<sup>(4)</sup>。その報告では可変性だけを検討したものであったため、次の段階としてその可変 RCPF に対するチューニング機構を連続可変のアナログ式で設計し動作確認を行った<sup>(4)</sup>。本報告ではチューニング機構の原理はそのままに連続可変からデジタル制御に変更した場合について LSI 化設計を行った結果を報告する。

MOS 抵抗を用いると、連続的に抵抗値を可変することができるが、閾値電圧のばらつきによって動作点がずれて、可変範囲が変化する。閾値電圧は、最大で  $\pm 0.1\text{V}$  程度ばらつくと言われている<sup>(4)</sup>。図 3 に MOS 抵抗の抵抗値の変化の様子を示す。赤と緑の線は、MOS の閾値電圧が標準の値に対して  $\pm 0.1\text{V}$  ずれたときの抵抗値の変化の様子である。例えば、図 3 のように制御電圧の可変範囲をとると、同じ電圧の範囲でも、取り得る抵抗値の範囲が変化する。

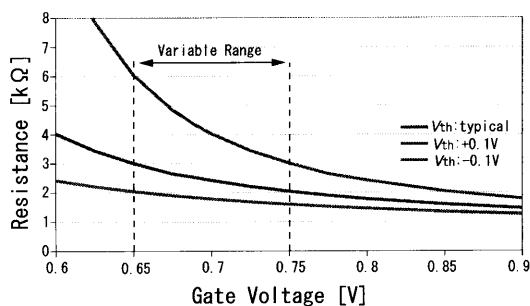


図 3 MOS 抵抗の抵抗値の変化の様子

MOS 抵抗の閾値電圧のばらつきは、直接 RCPF 全体の特性へ影響するので、閾値のばらつきの影響を少なくするには、図 4 のように、MOS 抵抗のみで全体の抵抗値を制御するのではなく、時定数のばらつきに対する調整分だけを可変にする構成が考えられる。抵抗値全体に占める MOS 抵抗の割合が小さくできるため、全体の時定数への、閾値電圧のばらつきによる影響を小さくすることができる。

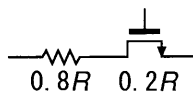


図 4 固定抵抗と MOS 抵抗を組み合わせた構成

チューニングの制御方法は、アナログとデジタルの 2 つの方法が考えられるが、消費電力の観点で考えると、制御回路は、間欠動作させることが好ましい。アナログの場合、キャパシタで制御電圧を保持することは可能だが、時間の経過と共に放電するため、常に制御回路を稼働させる必要があるが、値は連続的にとれるため、精度を要求する場合は必要な回路の規模の点からアナログが良いと考えられる。

一方デジタルで制御するには、複数の固定素子をアレイ状に配列し、スイッチで切り替える。デジタルで制御することにより、一度スイッチの状態が決まれば、その状態を保持できるため、制御回路を間欠動作でき、消費電力を減らすことができる。ここでは、1%程度の精度を目標としているため、間欠動作の容易なデジタル制御を採用した。

図 5 は、設計に採用した自動チューニング機構を説明するためのブロック図である。可変 RCPF と 2 次可変 LPF (基準フィルタ) を IC 上に集積化し、外部から FPGA によって制御できるようにした。外部からの基準信号と、2 次可変 LPF 出力の位相差をカウントすることにより位相差を積分し、位相差が  $90^\circ$  となるようにフィルタを制御する構成である。本稿では、破線で囲まれた IC の部分を設計した内容について報告する。

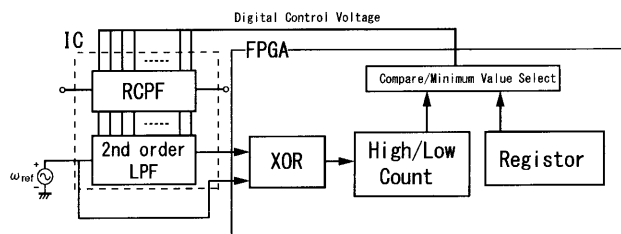


図 5 チューニング機構

### 3. 可変 RCPF の設計

〈3・1〉 素子値 本設計では、可変の動作を確認することをおもな目的とするため、測定を容易にすることを考慮して、測定周波数が最大で 10 MHz 程度となるようにした。中心周波数 2.2 MHz、比帯域を 3 として小さくすることで、下端周波数の時定数が極端に大きくならないようにした。この条件で、阻止域と通過域が同時に等リプルになる設計方法<sup>(6)</sup>を元に素子値を決めた。設計には、ROHM 0.18  $\mu\text{m}$  CMOS プロセスを用いた。各段の値を表 1 に示す。

表 1 各段の $R$ と $C$ の値			
段数	$R$ [k $\Omega$ ]	$C$ [pF]	ノッチ周波数 [MHz]
1	10.29	12.41	1.2
2	20.00	3.989	2.0
3	38.88	1.276	3.2

〈3・2〉 可変素子の検討 RCPF の周波数特性は各段の  $R$  と  $C$  の時定数によって決まる。ばらつきによる変化量は  $R$  と  $C$  で異なるが、結局は時定数を設計値となるよう調整すればよい。したがって、一方の素子を可変にしておけば十分である。スイッチで切り替えるため、切り替える数の分だけ素子を余分にアレイ状に並べておく必要がある。そこで、 $R$  可変と  $C$  可変の場合について、各素子の寸法からおよその面積を見積もると、表 1 のように素子値を決める

と、 $C$  は  $R$  の約 3 倍の面積を必要とすることがわかった。より少ない面積で済む  $R$  を可変素子に使うことにした。

一般的に、同一ウエハ内の抵抗同士の比精度は 1 % 程度であるため<sup>③</sup>、可変の精度を 1 % 以下にすることを目標にして設計を行った。可変範囲は、絶対ばらつきが  $\pm 10$  % 程度であるとして、固定分を  $0.8R$  とし、必要な分だけ足し合わせるように可変分をとるようにした。したがって、例えば全ての素子が  $-10$  % に偏っても設計値の時定数にチューニングできるようにするには、可変分を  $0.4R$  分とる必要がある。

〈3・3〉 スイッチアレイの検討 スイッチの個数については、可変分が  $0.4R$  なので、2.5 % 精度にすれば全体で 1 % 精度とすることができる。これは、6 bit に相当するのでスイッチを 6 個用意する必要がある。

スイッチの並べ方として、2 進重み付けした抵抗を直列接続にする方法が考えられる (図 6)。

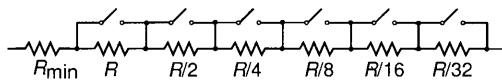


図 6 直列接続

いずれかの抵抗を短絡する場合は、その部分にスイッチの ON 抵抗が直列接続されるため、全て ON となった時に、ON 抵抗の合計を  $R_{\min}$  の 1 % 以下にする必要がある。そのためには、MOS のゲート幅 ( $W$ ) を大きくする必要があり、MOS の寄生容量も大きくなるため、高周波側で利得が下がる。このような条件を考慮して、必要な可変精度を満たすように、各段の寸法を決めたところ表 2 のようになった。

表 2 各段の MOS スイッチの寸法

段数	$L$ [ $\mu\text{m}$ ]	$W$ [ $\mu\text{m}$ ]
1	0.18	100
2	0.18	50.0
3	0.18	26.5

図 7 は図 6 の構成で、スイッチが全て ON のときの周波数特性である。スイッチの寄生容量の影響によって利得が上端周波数において、理想な特性と比べて 1.96 dB 下がった。このままの構成で分解能を上げると、スイッチの数が増え、寸法を大きくする必要があり、周波数特性がより悪くなると考えられる。

次に図 8 のような並列接続について考えると、スイッチの ON 抵抗同士が単純な和にはならないため、 $W$  を小さくすることができ、周波数特性の変化は少なくなる。しかし、 $R_{\max}$  を減らすように可変するため、並べる 1 つ 1 つの抵抗値が非常に大きくなり面積を多く必要とする。

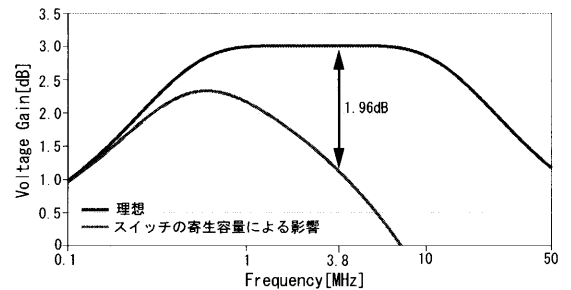


図 7 スイッチの寄生容量による影響

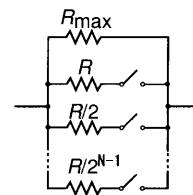


図 8 並列接続

以上の検討から、直列接続にすると、MOS スイッチの ON 抵抗と寄生容量の兼ね合いが難しくなり、並列接続にすると、面積を多く必要とすることがわかった。そこで、寄生容量の影響を少なくし、かつ必要な可変精度を維持するために、直列の中に部分的に並列を入れた直並列の構造を最終的に選択した。これを RCPF の全体の回路図と共に図 9 に示す。

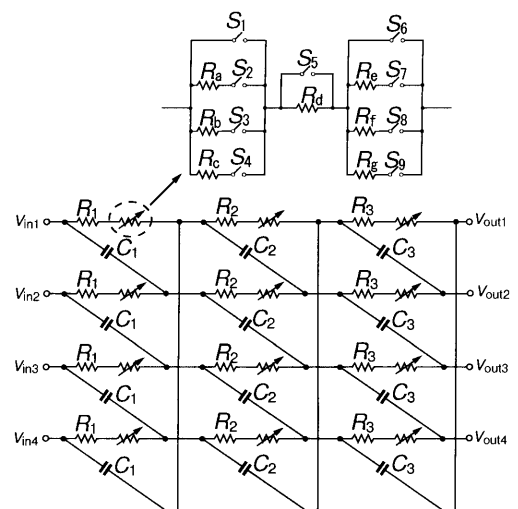


図 9 可変 3 段 RCPF

スイッチの数自体は増えたが直列数は 3 個で済むため、結果としてむしろ  $W$  を小さくできる。 $R_a \sim R_c$  で可変範囲を均等に分割し、残りの  $R_d \sim R_g$  で分割された範囲内で値をとる。そのため、全体の抵抗値に対する割合が小さくなり、精度も粗くて済む利点が生じる。

RCPF の 2 段目を例にとると、まず  $R_a \sim R_c$  で可変範囲を  $2 \text{ k}\Omega$  刻みにする。  $2 \text{ k}\Omega$  は全体 ( $20.00 \text{ k}\Omega$ ) の  $1/10$  なので、  $10\%$  精度で十分であり、よって残りは 4 bit になる。  $R$  と  $C$  がそれぞれ  $-10\%$  に偏っても設計値の時定数となるように  $R_e \sim R_g$  の値を決めた。 別の段も抵抗値が同じ割合になるようにスケールした (表 3)。 同様に MOS スイッチの寸法も決めた、その値を表 4 に示す。

表 3 各段の  $R$  の値

	1 段目	2 段目	3 段目
$R_1 [\text{k}\Omega]$	8.232	16.00	31.10
$R_2 [\text{k}\Omega]$	1.005	1.955	3.805
$R_3 [\text{k}\Omega]$	2.010	3.910	7.610
$R_4 [\text{k}\Omega]$	3.015	5.865	11.42
$R_5 [\text{k}\Omega]$	0.503	0.918	1.903
$R_6 [\text{k}\Omega]$	0.378	0.733	1.427
$R_7 [\text{k}\Omega]$	0.252	0.489	0.951
$R_8 [\text{k}\Omega]$	0.126	0.244	0.476

表 4 各段の MOS スイッチの寸法

段数	$L [\mu\text{m}]$	$W [\mu\text{m}]$
1	0.18	50.0
2	0.18	24.9
3	0.18	12.3

この構成で、通過域はスイッチの寄生容量の影響、阻止域は可変範囲の確認をシミュレーションで確認した。 通過域の結果を図 10 に示す。 直列接続の場合と比べて、上端周波数での利得が改善され、理想の場合との利得の誤差を  $0.32 \text{ dB}$  まで減らせた。 可変の精度を維持しつつ、利得の低下を減らすことができた。

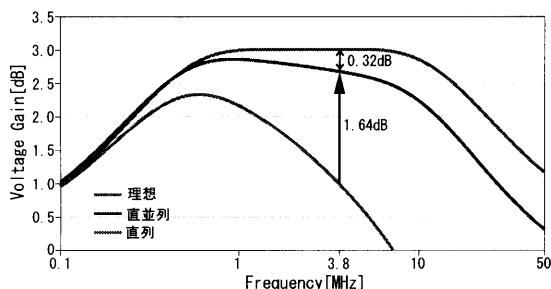


図 10 直並列と直列接続の通過域特性

図 11 に阻止域の結果を示す。 阻止域は、スイッチの切り替えによりノッチが平行移動することを確認できた。 緑色の特性 (最も左) は最も時定数が大きくなるようにしたときの特性で、青色の特性 (最も右) は、最も時定数が小さくなるように、スイッチを ON させた時の特性である。 周波数特性が平行移動することを確認できた。

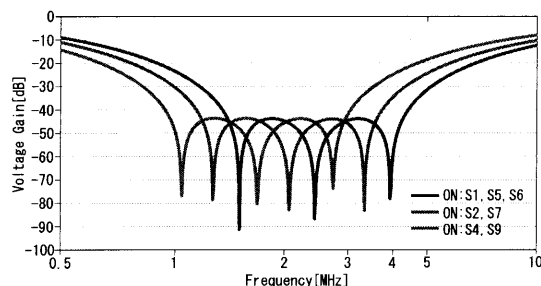


図 11 阻止域特性

#### 4. バッファの設計

測定する際、プローブの容量が  $7 \text{ pF}$  であるため、これを直接 RCPF に取り付けると、RCPF の出力抵抗とプローブの容量でローパスフィルタとなり、通過域の上端利得が減衰するので、出力にバッファを取り付けることで対処する。 設計したバッファは、図 12 に示した NMOS を用いたソースフォロアである。

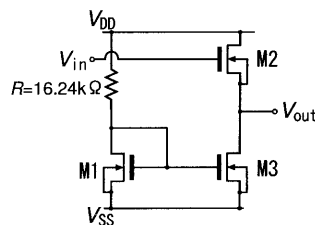


図 12 NMOS バッファ回路

上端周波数が  $3.8 \text{ MHz}$  であるため、  $7 \text{ pF}$  の容量がついても、  $5 \text{ MHz}$  程度までは減衰しないようにする必要がある。 バッファの出力抵抗と、プローブの容量で  $30 \text{ MHz}$  でカットオフ周波数となるように計算すると、必要とされるバッファの出力抵抗は  $757.9 \Omega$  である。 この値から最低必要な  $g_m$  は約  $1.3 \text{ mS}$  であり、NMOS のオーバードライブ電圧を  $0.3 \text{ V}$  にして、ソースフォロアに流す電流量を求めると約  $200 \mu\text{A}$  である。 これらの条件からそれぞれの MOS の寸法を決めた。 その値を表 5 に示す。

表 5 ソースフォロアの寸法

素子	$L [\mu\text{m}]$	$W [\mu\text{m}]$
M1	0.18	50
M2	0.18	3.1
M3	0.18	1.0

#### 5. LSI の寄生容量

〈5・1〉 素子の構造と寄生容量 RCPF は  $R$  と  $C$  で構成される。 これらを LSI 上に集積化する際、寄生容量が付き、通過域の周波数特性へ影響することは前章の通過域に

おけるシミュレーション結果から明らかである．これらをキャンセルする構成を提案し，シミュレーションで原理確認した．

本設計で用いた抵抗は，ポリシリコン抵抗である，図 13 に示す．基板とポリシリコンの間の酸化膜の部分に寄生容量  $C_{poly}$  ができる．N-well は通常 VDD に接続されるので， $C_{poly}$  は対接地容量となる．

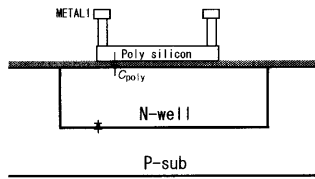


図 13 ポリシリコン抵抗の断面図

MIM(Metal-Insulator-Metal) 容量の構成は，図 14 に示すように，4 層と，4 層と 5 層の中間のメタルで構成されている．このため基板との間に寄生容量  $C_{sub}$  が発生する．

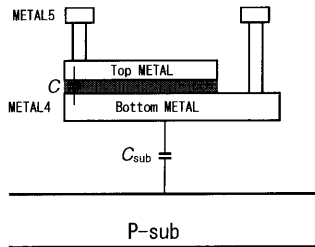


図 14 MIM キャパシタの断面構造図

〈5・2〉 寄生容量の見積もり それぞれ，素子の面積と基板との距離から寄生容量の値を見積もる．

キャパシタにおいては，図 15 のように  $C$  の Bottom の下にメタルでシールド電極を挿入する．+1 倍のアンプを取り付けて，Bottom Metal とその下のメタルを交流的に等電位にすることで  $C_{ox}$  を無視することができる．

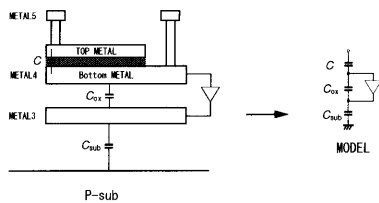


図 15 寄生キャンセルの構成

$C_{sub}$  には 1 倍アンプによる電流のみ流れるため，これも無視することができる．したがって，1 倍アンプの負荷となる  $C_{ox}$  と  $C_{sub}$  を見積もる．

メタル間の距離とポリシリコンから基板までの距離，各

層の比誘電率の値はデザインルールにある値を用いて，それぞれの容量値を計算した．その結果を表 6 に示す．

表 6 各段の寄生容量の値

段数	$C_{ox}$ [pF]	$C_{sub}$ [pF]	$C_{poly}$ [fF]
1	0.53	0.12	0.40
2	0.17	0.037	0.75
3	0.055	0.012	1.5

次に見積もった寄生容量による RCPF への影響を調べる．理想素子を用いて，図 16 に示した寄生容量を含んだモデルを作りシミュレーションを行った．抵抗の寄生容量は見積もった容量値が半分ずつ抵抗の両端に付いているものとした<sup>(7)</sup>．

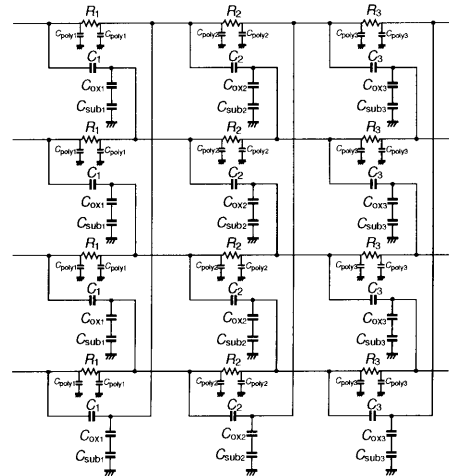


図 16 寄生容量を含んだ 3 段 RCPF

寄生容量による通過域への影響を図 17 に示す．表 6 より予測できるが，周波数が低いため， $C_{poly}$  による影響はほとんどなかった．

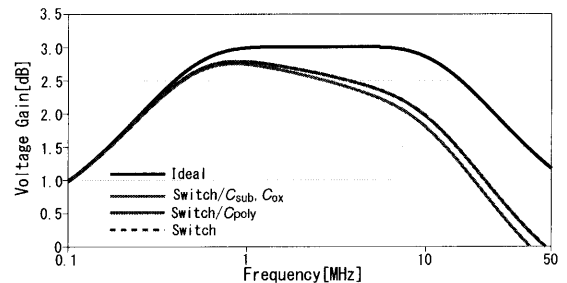


図 17 寄生容量のシミュレーション結果

このため，今回の試作では，MIM 容量の寄生容量だけをキャンセルすることにした．周波数が高くなれば， $C_{poly}$  の

影響も大きくなると考えられ、どちらの寄生容量をキャンセルするか、両方キャンセルする必要があるか検討する必要がある。

〈5・3〉 寄生キャンセル用ソースフォロア的设计 設計した1倍アンプは、図18に示したNMOSを用いたソースフォロアである。RCPFの全てのキャパシタに接続するため12個用意した。

このアンプが駆動するのは図15の $C_{sub}$ である。本試作では上端周波数は3.8MHzであるため、 $C_{sub}$ を駆動したとき3.8MHzまでは減衰が無いように、30MHzで-3dBとなるようにした。オーバードライブ電圧を0.3V取るようにしてソースフォロアに流す電流を計算すると4.3 $\mu$ Aとなる。この値でシミュレーションを行った後に、電流量を増やしたところ6 $\mu$ Aまで利得の改善が見られたため、設計は6 $\mu$ A流れるようにした。この時の各ソースフォロアの寸法を表7に示す。

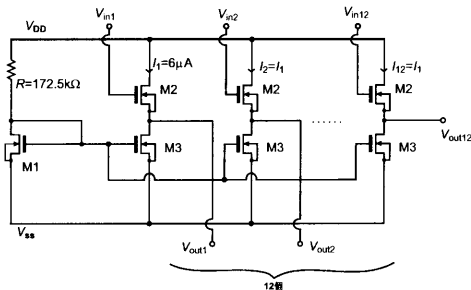


図18 NMOSを用いたソースフォロア

表7 ソースフォロアの寸法

素子	L [ $\mu$ m]	W [ $\mu$ m]
M1	0.8	0.26
M2	0.18	3.00
M3	0.8	0.28

シミュレーションは図16の回路に、設計したソースフォロアを図15のMODELのように付け、ソースフォロアの電源をオン・オフすることで特性を改善を確認した。理想の場合とソースフォロアの電源をオンにした場合とオフにした場合の利得の差を図19に示す。上端周波数3.8MHzで、MIMキャパシタの寄生容量の影響により0.08dB減衰したが、ソースフォロアにより理想状態との利得の差が0.39dBになった。

これについて考察すると、寄生キャンセルを行わなかった $C_{poly}$ の分と、 $C_{ox}$ と $C_{sub}$ のみ考慮したとき、利得の差が0.02dBまで改善された分が影響している。このことを考慮すると図10と一致する。

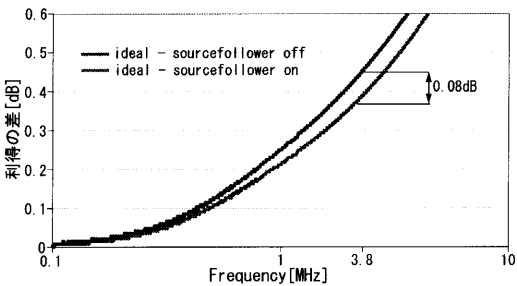


図19 理想特性との利得の差

### 6. おわりに

デジタル制御を目的とした可変RCPFをROHM 0.18 $\mu$ m CMOSプロセスで設計した。その結果、デジタル制御による可変フィルタとしての動作をシミュレーションにより確認した。また、LSI上に集積化された際に生じる寄生容量をキャンセルする手法を提案し、その効果をシミュレーションで確認できた。

今後の課題は、設計したチップを測定・評価し、その結果を元に改善点を検討する。可変の動作の評価については、スイッチをチップの外部から制御できるように設計したため、図5に示したように、別にFPGAで制御回路を作り、チューニングの動作を確認する予定である。寄生キャンセルについては、ソースフォロアの電源のオン・オフにより、利得が改善されることを確認する。

### 謝 辞

本研究の一部は東京大学大規模集積システム設計教育研究センター（VDEC）を通し、日本ケイデンス株式会社の協力で行われたものである。

### 参考文献

- (1) 川部 謙二, 谷本 洋, 吉田 英一, 「集積化 RC ポリフェーズフィルタの設計と評価」, 電気学会電子回路研究会資料, ECT-09-09
- (2) A. M. Durham, J. B. Hughes, and W. Redman-White, 「Circuit Architectures for High Linearity Monolithic Continuous-Time Filtering」 1992
- (3) 谷口 研二 著, 「LSI 設計のための CMOS アナログ回路入門」, CQ 出版, 2005 年
- (4) 伴内 優貴, 谷本 洋, 吉澤 真吾, 「RC ポリフェーズフィルタの自動チューニング機構の設計」, 電気学会 C 部門大会, 2013 年 9 月
- (5) E・サンチェズ・シネンシオ, A・G・アンドレウ 著, 飯塚 哲也, 浅田 邦博 訳 「アナログ・ディジタル混載システム LSI」, 株式会社培風館, 2000 年 7 月
- (6) 田邊 寛朗, 谷本 洋, 「通過域と阻止域が同時に等リプル特性になる RC ポリフェーズフィルタの素子値決定法と素子値広がり」の検討」, 電子情報通信学会技術研究報告, CAS, 2005 年
- (7) 名倉 徹, 「LSI 設計常識講座」, 東京大学出版会, 2011 年 12 月