

コモンセントロイド配置による CMOS OTA の CMRR 改善効果の評価

澤本 岳秀*, 桑原 浩一†, 谷本 洋 (北見工業大学), 原口 大 ((株)ルネサス テクノロジ)

Evaluation of CMRR Improvement in CMOS OTA Due to Common-Centroid Layout Technique

Takehide Sawamoto*, Koichi Kuwahara†, Hiroshi Tanimoto (Kitami Institute of Technology)

Masaru Hraguchi (Renesas Technology Corp.)

Abstract

Common-mode rejection ratio (CMRR) deviation due to mismatching among MOS transistors in feedforward type OTA has been evaluated for chips fabricated with and without common-centroid layout technique. The measured common-mode voltage gain (CMVG) data for 10 samples are evaluated by averaged CMVG and its relative variation to input common-mode dc bias point. The results clearly indicate the effectiveness of the common-centroid layout for an OTA in an $0.15 \mu\text{m}$ CMOS process to have better CMRR performance.

キーワード：OTA, コモンセントロイド配置, CMRR
(OTA, Common-Centroid Layout, CMRR)

1. はじめに

筆者らの考案した F/F OTA(フィードフォワード OTA)は低電源電圧で動作し、回路構成をフィードフォワード型にすることで同相除去を行うことができ、なおかつアンプとして利得も取れる擬似全差動増幅器である⁽¹⁾。図1に示すように、F/F OTA は平均型と加算型の2種類あり、これらの違いは -1 倍回路の INV3 と INV6 の間の平均化ノードの有無である。加算型では平均化ノードがないため、平均型よりも差動利得が 6 dB 増加する特徴がある一方、この平均化ノードの働きにより、平均型では INV2, 3, 5, 6 のばらつきが平均化され、より広い範囲で同相抑圧が行われると考えられる。

ところで、デバイスプロセスにおいてエッチングやリソグラフィなどに勾配が存在するため、トランジスタなどの素子値がばらつき、F/F OTA のように同相除去が素子のマッチングに依存する場合、同相除去の目安となる CMRR が個々の IC 間においてばらつく問題がある。このことは、ばらつきのモデルを用いたシミュレーション結果からも確認されている⁽¹⁾。

これを改善するために、我々は IC のレイアウトをコモンセントロイド配置にすることを提案した⁽¹⁾。コモンセントロイド配置はプロセスの勾配の影響を軽減する方法として用いられてきたが⁽²⁾、その効果をコモンセントロイドを用いる場合とそうでない場合で比較した例は少ない。したがって、コモンセントロイド配置と非コモンセントロイド配置で作られたものを比較することは設計データとして有用である。

本報告では、コモンセントロイド配置の効果を検証するために、F/F OTA の加算型と平均型の2つをそれぞれコモンセントロイド配置と非コモンセントロイド配置で設計し

たもの都合4種類を試作・測定して、コモンセントロイド配置の有無により特性が改善されているかどうか評価する。

実際に測定した項目は、直流における同相入出力特性、同相バイアスを変化させた時の交流における同相利得の変化、差動利得の周波数特性である。また、同相バイアスを変化させた時の交流における同相利得の変化を測定した際に、シミュレーション結果とは異なる特性が現れたため、このことについての考察を行った。

以上の測定からコモンセントロイド配置は F/F OTA の CMRR ばらつき改善に対して有効であることを明らかにした。

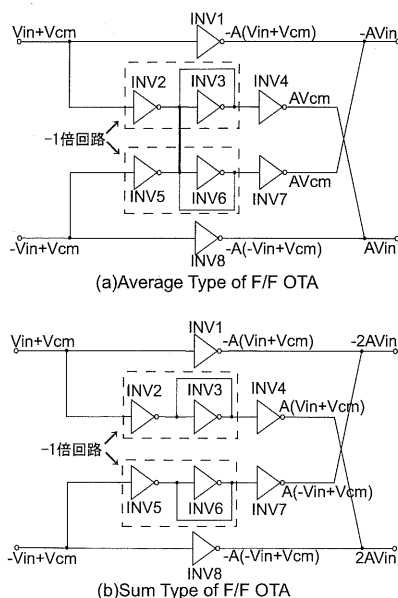


図1 F/F OTA の回路構成
Fig. 1. Circuit of F/F OTAs

*現在, ミツミ電機株式会社

2. 同相利得の測定

(2・1) 同相利得の測定回路構成 図2は同相利得の測定回路構成である。被測定 OTA の同相利得の設計値は -57dB と非常に小さいため、測定系の雑音に埋もれることを防ぐ目的で、スペクトラムアナライザのアベレージング機能を用いた。また、それにより測定時間が長くなるので、 GPIB を用いた自動化測定プログラムを作成し省力化した。

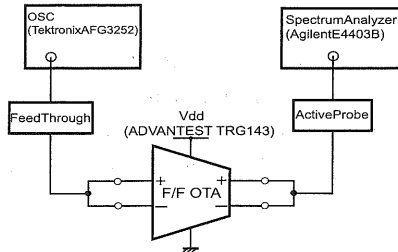


図2 同相利得の測定回路 (直流)

Fig. 2. Measurement Circuit of Common-mode Gain

実際に測定したものは、直流における同相入出力特性と、同相バイアスを変化させた時の低周波における小信号同相利得の変化である。同相バイアスは、2相発振器より与えており、1チャンネルの出力を2つに分けて入力している。

ここで問題となるのは、OTAの入力間のオフセットがゼロでないことと出力の同相成分に差動成分が含まれてしまうことであるが、シミュレーションにより 10mV 程度の差は影響を与えないことを確認しているため、オフセットを2入力間で正確にはキャンセルしていない。これは測定時間の短縮のためと、ばらつきを評価するに当たって入力間のバイアスの差もばらつきと考えたからである。

(2・2) 直流における同相入出力特性 測定条件としては、電源電圧 $V_{DD}=1.5\text{V}$ 、直流入力電圧 V_{in} を $0\sim 1.5\text{V}$ 変化させて出力電圧 V_{out} を測定した。

測定結果の一例を図3と図4に示す。シミュレーション結果とほとんど同じ特性が得られたが、チップによっては特性が悪いのも見られ、ばらつきがある。しかし、機能動作していることは確認できた。

また直流では非常に小さい同相利得を測定するのが困難であることから交流を用いて同様に測定する。

(2・3) 同相バイアス - 同相利得 図5に測定結果の一例を示す。凡例で示した AVE・SUM・CM・NM・simulation は、それぞれ平均型・加算型・コモンセントロイド配置・非コモンセントロイド配置・シミュレーション結果を示している。

測定結果では、同相利得にシミュレーション結果にはない2つのノッチが出現していることがわかる。これは、全てではないが測定した多くのICでみられる現象であった。次に、これがどの部分のばらつきによって起こっているかを考察する。

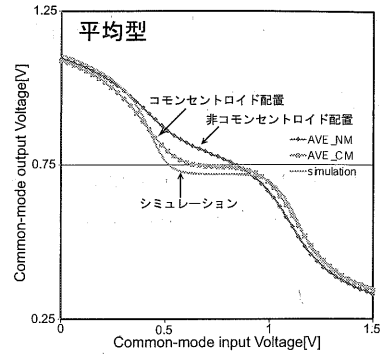


図3 平均型の同相入出力特性 (測定値)

Fig. 3. Measured common-mode input-output relation for the averaging type OTA

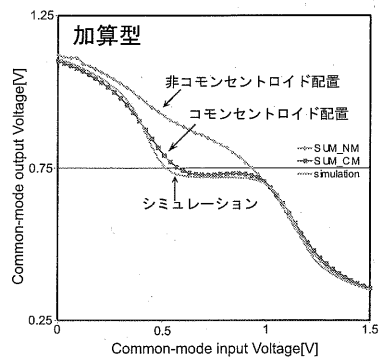


図4 加算型の同相入出力特性 (測定値)

Fig. 4. Measured common-mode input-output relation for the summing type OTA

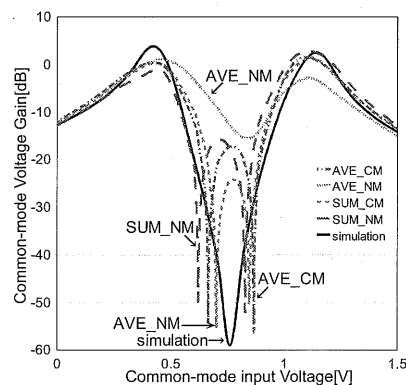


図5 同相バイアス - 同相利得 (測定値)

Fig. 5. Measured common-mode voltage gain vs. common-mode bias voltage

3. ノッチが2つできることに対する考察

(3・1) バイアスのずれのシミュレーション まず始めに入力間のオフセットがあることによって起こる現象ではないかと考え、シミュレーション上で反転入力端子のバイアスを変化させて確認した。結果は図6のようになった。確かにバイアスがずれると2つのノッチが現れるが、入力間

でおよそ 80 mV 以上のオフセットがないと 2 つのノッチが出現しない。

また、実際の測定結果では 0.75 V を中心に、2 つのノッチがその上下に現れているのに対し、このシミュレーション結果は左右にずれていることも異なっている。

実際に測定回路で入力オフセットを測定してみたところ、4 mV ~ 10 mV であった。80 mV ものオフセットはないと思われるので、2 つのピークは入力オフセットにより起こったものではないと考えられる。

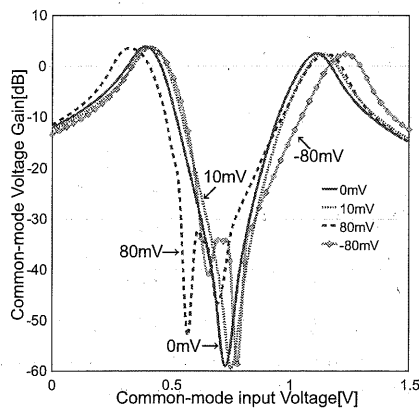


図 6 反転入力のバイアスを変化させたシミュレーション結果

Fig. 6. Simulated common-mode voltage gain variation with input offset voltage

〈3・2〉 2 つの経路における利得の違いによるもの

次に注目したのは図 7 に示す、INV1 を通る主経路 (A ルート) と INV2, INV3, INV4 からなる -1 倍回路 (B ルート) で、インバータの数が違うため、ばらつき具合も違ってくることである。

例えば、図 9 の様に B ルートの利得がばらつきにより下がったとしたら利得がキャンセルされる点、つまり A ルートと B ルートで利得が同じになるところは 2 つとなる、従ってノッチが 2 つできるのではないかと考えた。また逆に、B ルートの利得が大きくなった時は、図 8 に示すように、利得が同じになるところはなく、A ルートと B ルートの平均ができるため、シミュレーションに比べて高い同相利得となると考えた。

このことをシミュレーション上で確認することにした。確認する方法としては、-1 倍回路の INV3 のゲート幅を変えることにより利得を変化させることとする。図 10 がその結果である。先ほど述べた考えと同じ結果が得られた。また、測定結果とよく似ているので、2 つのピークができる原因は、A ルートと B ルートでインバータの数が違うことから起こる利得のミスマッチによる変動であると思われる。

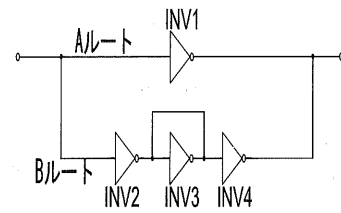


図 7 ばらつきの要素の違い

Fig. 7. Matching degradation due to difference in numbers of inverters by two routes

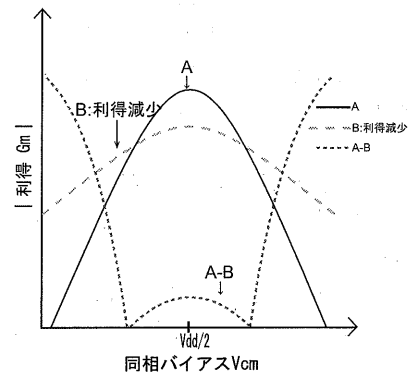


図 8 2 つのピークが現れる理由の検討

Fig. 8. Mechanism for appearing two notches in common-mode voltage gain

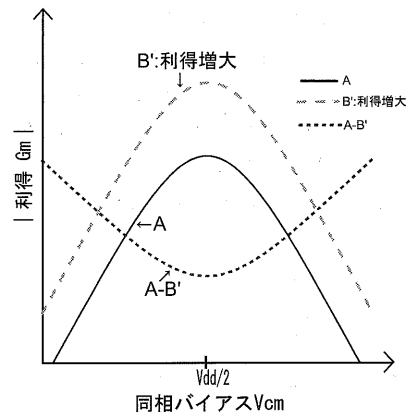


図 9 2 つのピークが現れる理由の検討

Fig. 9. Mechanism for appearing no notch in common-mode voltage gain

4. ばらつきの評価

次に 10 個の IC に対して小信号同相利得の同相バイアス電圧依存性を測定し、ばらつきを評価する。

評価方法は、全体的な傾向とばらつきの影響を分けて考察する目的で 10 サンプルについての測定結果から各測定点における同相利得の平均と、不偏分散を計算した。測定点は必ずしも同じ同相電圧で行っていないので、測定間隔を揃えるために線形補間を用いて測定データの測定間隔を揃えた。ばらつきは、平均値 (\bar{x}) と不偏分散 (σ^2 ; 分散の平

置のレイアウトに配線容量以外に何らかの寄生容量が付く原因があると考えられるが、現時点では特定できていない。

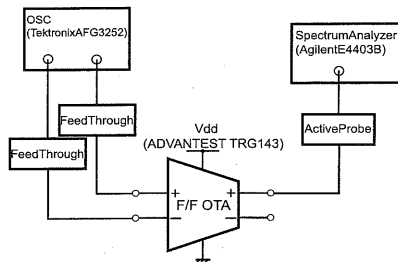


図 18 差動利得の測定回路

Fig. 18. Measurement circuit for differential voltage gain

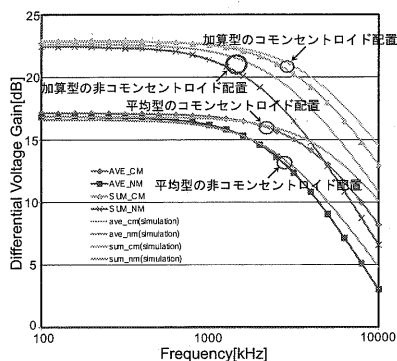


図 19 差動利得の周波数特性

Fig. 19. Differential Voltage Gain vs. Frequency

6. おわりに

F/F OTA の同相除去比がトランジスタのばらつきにより小さくなる問題に対して、コモンセントロイド配置が有効であるかどうかを、実際にコモンセントロイド配置のものと非コモンセントロイド配置のものを試作し測定することによって評価した。

評価の結果、確かにコモンセントロイド配置はばらつきを抑える効果があるとわかった。また、コモンセントロイド配置を用いれば加算型でもばらつきを抑えることができるので、より高い CMRR を得たければ加算型の F/F OTA を用いるほうがよいとわかった。

今後の課題としては、差動利得の周波数特性で、なぜコモンセントロイド配置のほうが周波数特性が良かったのか、原因を特定することである。また、今回の測定で2つのピークができるメカニズムが推定できたので、より小さい同相利得を得るために、回路上の経路によりばらつきが違うことを、どのようにして軽減するか考えることも課題の一つである。

謝 辞

本研究における回路の試作は (株) ルネサステクノロジの 0.15 μm CMOS プロセスを用いて行われた。試作の機会を頂戴し、有益なご討論を賜った同社の有本和民氏と奥野義弘氏に深謝する。また、本研究の一部は東京大学大規模集積システム設計教育センターを通し、日本ケイデンス株式会社との協力で行われたものである。記して謝意を表す。

参考文献

- (1) 桑原浩一, 谷本洋, 山路隆文, 「CMOS インバータを用いた多相回路用 OTA の検討」, 電気学会電子回路研究会資料, ECT-08-088, 2008 年 11 月
- (2) Behzad Razavi 著, 黒田忠広監訳, 「アナログ CMOS 集積回路の設計 応用編」, 丸善株式会社, 2003 年
- (3) Paul R. Gray, Robert G. Meyer, 「Analysis and Design of Analog Integrated Circuits」, Chapter 6, p.362, John Wiley & Sons, 1977
- (4) Alan Hastings, 「The Art of analog Layout」, Chapter 7, Prentice Hall, 2001
- (5) 小倉久直 著, 「確率過程入門」, 森北出版株式会社, 1998 年
- (6) Christopher Saint, Judy Saint, 「IC Mask Design—Essential Layout Techniques—」, McGraw-Hill, 2002