

# カスコード型 CMOS インバータを用いた全差動 OTA の設計と評価

矢澤 和樹\*, 谷本 洋 (北見工業大学), 原口 大 (株式会社ルネサス テクノロジ)

Design and Evaluation of Fully Differential OTA Using Cascoded CMOS Inverters

Kazuki Yazawa\*, Hiroshi Tanimoto (Kitami Institute of Technology)

Masaru Haraguchi (Renesas Technology Corp.)

## Abstract

A new low voltage operating fully differential CMOS OTA construction, which uses dual-input cascoded CMOS inverters, is proposed. The OTA is a two-stage configuration with dual-input cascoded CMOS inverters at the input stage, and traditional CMOS inverters in the output stage, with a common-mode feedback path from the output terminals to one of the input terminals of cascoded CMOS inverters. The OTA has been designed and fabricated in a  $0.15\ \mu\text{m}$  triple-well CMOS process, in order to effectively reduce its threshold voltages by the bulk bias technique. The OTA successfully operated from 1 V power supply, with 59 dB of differential voltage gain, 80.9 dB of CMRR and 25 MHz of unity gain frequency, at  $60\ \mu\text{A}$  of current consumption.

キーワード：カスコード型 CMOS インバータ, 全差動 OTA, 同相除去回路, 高電圧利得, 低電圧動作  
(Cascoded CMOS Inverter, Differential OTA, Common-Mode Rejection Circuit, High Voltage Gain, Low Voltage Operation)

## 1. はじめに

携帯電話用などの通信機器をはじめとしたシステム LSI を, より高速化する要求は留まるところを知らない. システムの多くはアナログ回路とデジタル回路の両方からなっており, 低コスト化と高速処理, つまり高周波における寄生インピーダンス抑制のため, ひとつのチップに混載する手法が広く用いられている.

また近年, 半導体デバイスの面からも, 高速化を図るためデバイスの微細化が進められている. しかし, デバイスの微細化は MOS の固有利得の低下, ならびに耐電圧の低下を伴っており, アナログ回路においては特に問題となっている. 固有利得の低下は増幅器の利得低下に直結しており, 高利得を実現できる回路構成が望まれている. さらに, 低電圧動作の面でアナログ回路はデジタル回路と比べて後れを取っており, アナログ・デジタル混載チップを低電圧で実現するうえで, アナログ回路の低電圧動作が強く求められている.

アナログ回路増幅器の低電圧動作を目指し, CMOS インバータをコアとして疑似差動 OTA を実現する研究がある<sup>(1)(2)</sup>. 従来, 増幅器にはトランジスタ縦積み3段の差動対が広く用いられてきたが, 基本的な CMOS インバータは MOS 縦積み2段構成であり低電圧動作に有利である. しかし一方で, CMOS インバータ単体では同相除去機能がなく, 微細プロセスでは固有利得が低い問題点がある.

そこで本報告では, 微細プロセスを用いて 1.0 V 動作で 60 dB の高利得を実現する CMOS インバータベースの疑似差動 OTA の設計を目標とした. 疑似差動 OTA は CMOS インバータを複数個用いて同相信号を打ち消す構成とし, CMOS インバータ2段構成として電圧利得を高める. さらに電圧利得を高めるべく, 負荷ドライブ能力と大きな出力振幅が要求されない初段のインバータをカスコード化することを

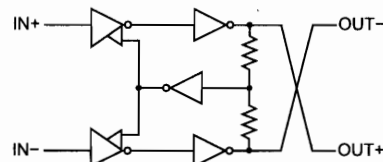


図1 カスコード型 CMOS インバータを用いた全差動 OTA  
Fig. 1. Fully Differential OTA Using CMOS Cascode Inverters

検討した. カスコード化は縦積みする MOS が4個となり, 低電圧動作化に逆行するよう見える. しかし, 本報告で LSI 試作に使用した製造プロセスはトリプルウェル構造であり, PMOS と NMOS の両方のバルク端子に独立にバイアス電圧を与えられることから, 基板バイアス効果によって MOS の実効的にしきい値電圧 ( $V_{th}$ ) を低減することで低電圧動作を実現できた.

## 2. 提案する OTA

本報告で提案する, カスコード型 CMOS インバータを用いた全差動 OTA を図1に示し, 図2(d), (e)にカスコード型2入力 CMOS インバータを示す. 同インバータは MOS 縦積み4段のインバータであり, 図中の M2, M3 の MOS をカスコード接続することで電圧利得 (出力抵抗) を高めている.

図2(b)に示すように2つの CMOS インバータで差動出力を打ち消すことができる. つまりこの方法を用いて, 出力側の同相成分を入力側にフィードバックして同相成分を打ち消すこともできる. 同図(a)に示すカスコード型1入力 CMOS インバータを, 同図(b)の CMOS インバータに導入して考えると, 同図(c)の回路となる. そして, 破線で囲んだカスコードトランジスタを共用化し, カスコード型2入力 CMOS インバータを導入する. この CMOS インバータは M1(M1'), M4(M4') をそれぞれ同じサイズの MOS で並

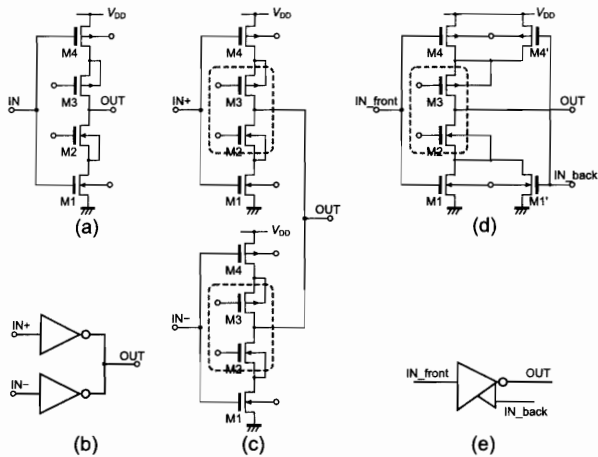


図2 (a)カスコード型1入力CMOSインバータ, (b)差動信号を打ち消すCMOSインバータの接続, (c)同図(b)に対応した回路図, (d)カスコード型2入力CMOSインバータ, (e)カスコード型2入力CMOSインバータの回路モデル.  
Fig. 2. (a)Single input type cascoded CMOS inverter, (b)CMOS inverters canceling differential-mode signal, (c)Detailed circuit for (b), (d)Double input type cascoded CMOS inverter, (e)Circuit symbol of (d).

列構成としており, 2入力1出力型のCMOSインバータである. 同図(e)はこのインバータを表すシンボルであり, 図1に用いている. 同図(d)は通常の差動対とは逆に, 2つの入力の同相成分は増幅し, 差動成分は増幅しない特徴を有する.

本研究のLSI試作で使用する製造プロセスはルネサステクノロジ0.15  $\mu\text{m}$  CMOSプロセスである. 同プロセスにおけるhs-MOS(high speed MOS)を用いた場合, 電源電圧は1.5 Vが標準値であるが, プロセスがトリプルウェル構造であることから, MOSのバルク端子のバイアス次第では基板バイアス効果によって $V_{th}$ が低減できるため, 目標に挙げた1.0 V動作の増幅器も実現可能と期待される.

### 3. 基板バイアス効果による $V_{th}$ の低減

基板バイアス効果によって $V_{th}$ がどれほど低減できるかをシミュレーションで調べた. シミュレーション回路は図3, 図4に示した. MOSのバルク・ソース間電圧 $V_{BS}$ を変えた場合, ゲート・ソース間電圧 $V_{GS}$ とドレイン電流の平方根 $\sqrt{I_D}$ の関係をシミュレーションによって求めたところ,  $V_{BS}$ が高くなるにつれて $\sqrt{I_D}$ の立ち上がる $V_{GS}$ が低くなる結果を得た.  $I_D$ の立ち上がる $V_{GS}$ 電圧がしきい値電圧と考えることができるので,  $V_{BS}$ と $V_{th}$ が反比例している結果を得た.

図5(NMOS), 図6(PMOS)に $V_{GS}=0, 0.4$  Vにおけるシミュレーション結果を示す. 両図では, 直線的な特性部分を横軸まで外挿し, 各MOSの $V_{th}$ の値も概算した.  $V_{BS}=0.4$  Vを与えた場合,  $V_{BS}=0$ と比べ, NMOSにおいては約62 mV, PMOSにおいては約80 mVの $V_{th}$ 低減が確認できた.

$V_{BS}$ をさらに大きくすれば $V_{th}$ もさらに低減できるが, 過

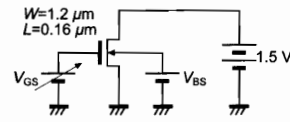


図3  $V_{GS}-\sqrt{I_D}$  特性のシミュレーション回路 (NMOS)  
Fig. 3. Simulation circuit for  $V_{GS}-\sqrt{I_D}$  responses, NMOS

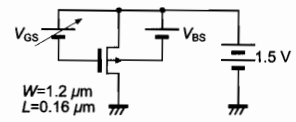


図4  $V_{GS}-\sqrt{I_D}$  特性のシミュレーション回路 (PMOS)  
Fig. 4. Simulation circuit for  $V_{GS}-\sqrt{I_D}$  responses, PMOS

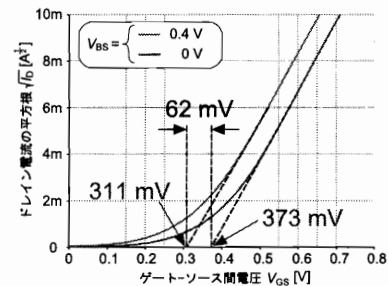


図5  $V_{GS}-\sqrt{I_D}$  特性 (NMOS) と低減できる $V_{th}$ の概算  
Fig. 5.  $V_{GS}-\sqrt{I_D}$  responses, NMOS, and rough estimation of  $V_{th}$

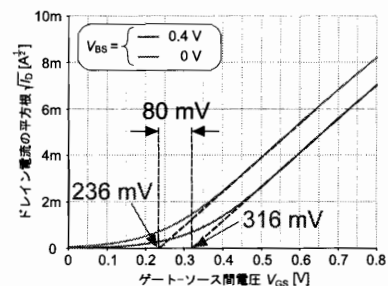


図6  $V_{GS}-\sqrt{I_D}$  特性 (PMOS) と低減できる $V_{th}$ の概算  
Fig. 6.  $V_{GS}-\sqrt{I_D}$  responses, PMOS, and rough estimation of  $V_{th}$

度の $V_{BS}$ 印加はバルク電流の増加を招く.  $V_{BS}=0.4$  Vでのバルク電流をシミュレーションで求めたところ, NMOSが2 pA, PMOSが10 nAであり, ばらつきを考慮しても設計に問題ないと判断した.

図5, 図6に示したが $V_{BS}=0.4$  V印加した場合,  $V_{th}=311$  mVのNMOS,  $V_{th}=236$  mVのPMOSがそれぞれ低 $V_{th}$ MOSとして使用できる. しかしM2, M3に関しては信号増幅時に $V_{BS}$ が変動することを避ける目的でバルク・ソース間を短絡するに留めた.

### 4. カスコード型CMOSインバータの設計

本章では図2(d)に示したカスコード型2入力CMOSインバータの設計について述べる. 電源電圧1.0 Vに対しMOS縦積み4段構成を動作させる設計は容易ではないため, まず4個のMOSの動作環境を考えバイアス電圧の設計を行い, そのバイアス電圧を満たすようにMOSのサイズ設計を行った.

〈4・1〉 バイアス電圧設計 当初, 各MOSのドレイン・ソース間電圧 $V_{DS}$ を均一に250 mVとして, 動作電流を揃えるようなMOSサイズの設計を試みたが, 設計不能で

表 1 カスコード型 CMOS インバータのバイアス設計における初期条件†

Table 1. Initial conditions for designing bias voltages of cascode CMOS inverter†

Mm	$V_{thm}$	$V_{ODm}$	$V_{marginm}$	$V_{GSm}$	$V_{DSm}$
M4	236	<b>264</b>	100 (保証値)	500 (固定値)	<b>364</b>
M3	316	100 (保証値)	—	<b>416</b>	—
M2	373	100 (保証値)	—	<b>473</b>	—
M1	311	<b>189</b>	100 (保証値)	500 (固定値)	<b>289</b>

表 2 カスコード型 CMOS インバータのバイアス設計†

Table 2. Designed bias voltages of cascode CMOS inverter†

Mm	$V_{thm}$	$V_{ODm}$	$V_{marginm}$	$V_{GSm}$	$V_{DSm}$
M4	236	264	100	500	364
M3	316	100	<b>73.5</b>	416	<b>173.5</b>
M2	373	100	<b>73.5</b>	473	<b>173.5</b>
M1	311	189	100	500	289

あった。そこで縦積み 4 個の MOS を同じ  $V_{DS}$  で動作させるのではなく、5 極管領域で動作可能な余裕を同じ程度持たせる  $V_{DS}$  配分による設計を行った。

まず、M2, M3 のカスコード MOS に関しては、信号増幅をする M1, M4 と比べ、3 極管領域で動作しても電圧利得 (出力抵抗) が低下するだけで回路が動作しなくなるわけではない。したがって、M2, M3 の  $V_{DS}$  を抑え、その分信号増幅をする M1, M4 に  $V_{DS}$  の余裕を持たせる。また、 $V_{G2}$ ,  $V_{G3}$  に関しては、 $V_{GS} = 0.5 \text{ V}$  にこだわらず、最低限のオーバードライブ電圧  $V_{OD}(=V_{GS} - V_{th})$  を確保して 5 極管領域で動作しやすくする必要がある。ちなみに、カスコード接続した MOS は  $1/g_m$  抵抗と等価である<sup>(3)</sup>である。

まず、MOS のチャネル導通の条件は  $V_{OD} > 0$  である。また、5 極管領域動作の条件は  $V_{DS} > V_{OD}$  であり、 $V_{margin} = V_{DS} - V_{OD}$  を定義することで  $V_{margin} > 0$  と条件を簡単化する。設計は MOS の製造バラツキの範囲を  $V_{th} = \pm 100 \text{ mV}$  と大きめに考え、M2, M3 の  $V_{OD}$  と M1, M4 の  $V_{margin}$  を最低限 100 mV 確保するように設計を行う。ここまでの条件を表 1 にまとめた。

表 1 の条件から、芋づる式に空欄の電圧値を求めることができる。 $V_{OD1}$ ,  $V_{OD4}$  は  $V_{GS} - V_{th}$  から、 $V_{GS2}$ ,  $V_{GS3}$  は  $V_{OD} - V_{th}$  から、 $V_{DS1}$ ,  $V_{DS4}$  は  $V_{OD} + V_{margin}$  からそれぞれ計算できる。ここまでの計算結果は表 1 に太字で記した。 $V_{DS1}$ ,  $V_{DS4}$  には 1.0 V から残った  $347 \text{ mV}(=V_{DD} - V_{DS2} - V_{DS3})$  を均等に  $173.5 \text{ mV}$  ずつ割り振り、それに従い  $V_{margin1}$ ,  $V_{margin4}$  も計算できた。以上で全ての電圧値が求められ、これらの値を表 2 にまとめ、図 7 に各ノード電圧を示した。

この設計であれば、全ての MOS で十分な  $V_{OD}$  があるため動作できる。また、 $V_{margin}$  についても各段適切に確保しており、 $V_{th}$  に余程の製造誤差がない限りは、全 MOS が 5 極管領域で動作できる。

† 電圧の単位は全て [mV]。

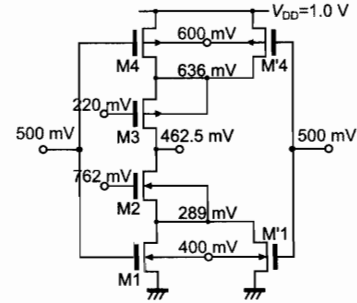


図 7 カスコード型 CMOS インバータのバイアス電圧値

Fig. 7. Bias voltages of designed cascode CMOS inverter

表 3 カスコード型 CMOS インバータの設計 MOS サイズ  
Table 3. Designed MOS sizes of cascode CMOS inverter

Mm	$W_m$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]
M4(M4')	0.69(0.69)	0.16
M3	15.08	0.16
M2	3.20	0.16
M1(M1')	0.40(0.40)	0.16

表 4 カスコード型 CMOS インバータの仕様 (無負荷)  
Table 4. Parameters of cascode CMOS inverter, no load

電源電圧	1.0 V
直流入力電圧	0.5 V
同相利得	47.4 dB
消費電流	10.4 $\mu\text{A}$
出力抵抗	1.08 M $\Omega$

〈4・2〉 MOS のサイズ設計 以上の設計バイアス値を基に、シミュレーションにより MOS のサイズ設計をする。

まず、本 LSI 試作のスキマティック入力において MOS のサイズにチャネル幅  $W \geq 0.40 \mu\text{m}$ , チャネル長  $L \geq 0.16 \mu\text{m}$  の制約があった。 $L$  の設計については、近い将来のさらなるデバイスの微細化を見据えて、全ての MOS で最小設計可能値の  $0.16 \mu\text{m}$  で統一する。 $W$  の設計については図 7 に示す所望のバイアス電圧となるように設計をした。M1, M1' の  $W$  が他と比べ最も小さかったため、これを最小サイズの  $0.40 \mu\text{m}$  とし、それを基準に他の MOS の  $W$  を設計した。全体に  $W$  を大きく設計することは可能であるが、OTA の初段であるため負荷ドライブ能力も必要なく、かつ MOS の製造バラツキも考慮しているため、同表に示す値で設計を行った。ちなみに、この設計における動作電流値は  $10.4 \mu\text{A}$  であり、電圧利得 (同相入力時) は 1 段で 47 dB と非常に高いものとなった。

## 5. 通常の CMOS インバータの設計

本節では、提案 OTA に必要な MOS 縦積み 2 段の通常構成の CMOS インバータのサイズ設計を行う。設計する CMOS インバータは 2 種類あり、図 1 中の増幅経路 2 段目にあたる出力用の他に、フィードバック (以下 F/B と記す) 用がある。両者は、入力直流電位やドライブすべき負荷に違いがあるため、それぞれ別の仕様が必要である。ただし、バルク電位  $V_B$  に関しては共通の考えで設計を行った。

$V_B$  は当初、PMOS, NMOS 共に  $V_{th}$  は低い方が良く考えており、両者とも  $V_{BS} = 400 \text{ mV}$  とするように与えた。この場合、 $V_{thp} = 236 \text{ mV}$ ,  $V_{thn} = 311 \text{ mV}$  と  $75 \text{ mV}$  もの開きがある。したがって、 $V_{OD}$  や  $V_{margin}$  においても PMOS と NMOS

表5 出力用 CMOS インバータのバイアス値の計算結果<sup>†</sup>Table 5. Designed bias voltages of CMOS inverter for output<sup>†</sup>

Mm	$V_{thm}$	$V_{ODm}$	$V_{marginm}$	$V_{GSm}$	$V_{DSm}$
Mp	316	221	279	537	500
Mn	311	152	348	463	500

表6 出力用 CMOS インバータの設計 MOS サイズ

Table 6. Designed MOS sizes of CMOS inverter for output

	$W [\mu m]$	$L [\mu m]$
Mp	2.02×4fingers	0.16
Mn	3.60	0.16

表7 出力用 CMOS インバータの増幅器特性 (無負荷)  
Table 7. Parameters of CMOS inverter for output, no load

電源電圧	1.0 V
直流入力電圧	463 mV
直流電圧利得	24.4 dB
-3 dB Freq.	990 MHz
消費電流	38.8 $\mu A$
出力抵抗	8.35 k $\Omega$

表8 F/B 用 CMOS インバータのバイアス値の計算結果<sup>†</sup>Table 8. Designed bias voltages of CMOS inverter for feedback<sup>†</sup>

Mm	$V_{thm}$	$V_{ODm}$	$V_{marginm}$	$V_{GSm}$	$V_{DSm}$
Mp	316	284	316	500	500
Mn	311	289	311	500	500

表9 F/B 用 CMOS インバータの設計 MOS サイズ

Table 9. Designed MOS sizes of CMOS inverter for feedback

	$W [\mu m]$	$L [\mu m]$
Mp	2.47	0.16
Mn	0.50	0.16

表10 F/B 用 CMOS インバータの増幅器特性 (無負荷)  
Table 10. Specification of CMOS inverter for feedback, no load

電源電圧	1.0 V
直流入力電圧	500 mV
直流電圧利得	24.1 dB
-3 dB Freq.	660 MHz
消費電流	7.80 $\mu A$
出力抵抗	83.5 k $\Omega$

の差は大きく、各動作余裕  $V_{OD}$ ,  $V_{margin}$  は 100 mV 以上確保できているものの不安が残った。そこで両 MOS 間の動作余裕のバランスを整えるべく、 $V_B$  のバイアス電位により変化する  $V_{th}$  を近い値に設定する。図 5, 図 6 のシミュレーション結果から、 $V_{BSp} = 0$ ,  $V_{BSn} = 400$  mV として  $V_{thp} = 316$  mV,  $V_{thn} = 311$  mV の MOS を用いて設計をする。

〈5・1〉 出力用 CMOS インバータの設計 この CMOS インバータは設計 OTA の出力部分を担うため、高い負荷ドライブ能力が求められる。表 5 に本節で設計する CMOS インバータの各 MOS の動作電位をまとめた。CMOS インバータの入力電位 ( $V_{GSn}$ ) が 463 mV である理由は、前節で設計を行った 1 段目の CMOS インバータの出力電位がこの値だからである。また、出力電位  $V_{DSn}$  の所望値が 500 mV である理由は、OTA としての出力振幅を最大限取るために電源電圧 1.0 V の半分としたいからである。動作余裕  $V_{OD}$ ,  $V_{margin}$  は低いものでも 150 mV 確保できていることがわかる。この CMOS インバータは OTA 全体の出力部分を担うため、動作電流も考慮して MOS のサイズ設計を行う必要がある。本設計では動作電流 40  $\mu A$  を目安に設計を行った。

設計した MOS のサイズを表 6 にまとめた。また、設計した CMOS インバータの増幅特性を表 7 にまとめた。動作電流を 38.8  $\mu A$  と大きく設計したことにより、出力抵抗が 8.35 k $\Omega$  とかなり小さくなった。よって、OTA 全体としてのドライブ能力が高いと言える。なお、出力端の直流電位は、ほぼ 500 mV に設計できた。

〈5・2〉 F/B 用 CMOS インバータ設計 本節で設計する CMOS インバータは OTA の同相出力端とカスコード型 CMOS インバータの裏入力端子の間に使用する。本 OTA の出力バイアス電圧が 500 mV であり、カスコード型 CMOS インバータの入力電圧も 500 mV であることから、入出力の電位を 500 mV に設計する必要がある。

設計した各 MOS のサイズを表 9 にまとめた。このサイズで設計を行った場合、所望のバイアス値を満足していた。

<sup>†</sup> 電圧の単位は全て [mV]。

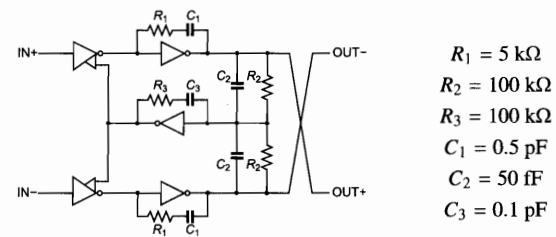


図8 位相補償を含む設計 OTA の回路図  
Fig. 8. Designed OTA with phase compensation

設計した CMOS インバータの増幅器としての特性を表 10 にまとめた。同表より、出力抵抗は 83.5 k $\Omega$  と高い値である。しかし、この CMOS インバータの出力端には 1 段目の MOS のゲートしか見えておらず、負荷をドライブする能力は必要とされていないため、問題はない。

## 6. OTA 全体の設計

本節では主に設計した OTA の位相補償を行うが、先に回路構成について述べる。図 8 に位相補償用の抵抗・容量を含めた OTA の回路図を示した。 $R_2$  を除く抵抗と容量は位相補償の目的で設け、 $R_2$  は両出力端の同相信号を検知する目的で設けてある。 $R_2$  の素子値は、OTA の出力抵抗が約 8 k $\Omega$  であることと、LSI 上での実装面積を考慮して  $R_2 = 100$  k $\Omega$  とした。なお、本 OTA はバイカッドフィルタへの適用を想定し、負荷を 50 k $\Omega$  || 5 pF として設計を行った。

〈6・1〉 位相補償の検討 位相補償後のカスコード型 CMOS インバータを用いた全差動 OTA を図 8 に示し、各素子値を併記した。位相余裕の目標値として、負荷駆動時に 60° 以上を挙げた。 $C_1, C_3$  については CMOS インバータに対し並列に接続がされているため、この位相補償は、ミラー効果が期待できる。

位相補償前後の設計 OTA の増幅特性を表 11 にまとめた。位相補償によって、位相余裕が 2.8° から 68.5° となり、目標値をクリアできた。以上の設計で、LSI 試作を行った。

## 7. 提案 OTA の測定と評価

〈7・1〉 レイアウト回路と測定構成 設計した OTA の

表 11 位相補償前後の OTA の増幅特性  
Table 11. Spec. of designed OTA with phase compensation

	位相補償前 50 k $\Omega$ //5 pF	位相補償後 50 k $\Omega$ //5 pF
電源電圧	1.0 V	1.0 V
差動電圧利得	61.9 dB	61.9 dB
同相電圧利得	-25.1 dB	-24.1 dB
-3 dB Freq.	1.36 MHz	24.4 kHz
Unity Gain Freq.	157.7 MHz	25.4 MHz
消費電流	115.4 $\mu$ A	115.4 $\mu$ A
位相余裕	<b>2.8 deg</b>	<b>68.5 deg</b>
出力抵抗	8.81 k $\Omega$	8.81 k $\Omega$

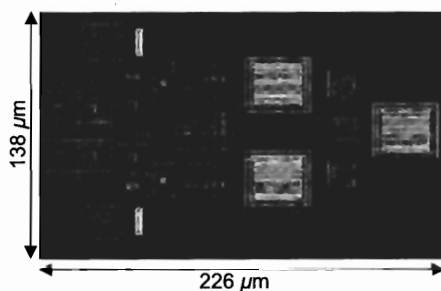


図 9 設計 OTA のレイアウト図  
Fig. 9. Layout of designed OTA

レイアウト図を図 9 に示した。また、同相と差動に対する電圧利得の測定構成を図 10、図 11 に示した。測定構成について詳しく述べると、本 OTA は 60 dB 以上の高い差動利得となる設計であるが、帰還を掛けずに測定を行った。その理由としては、同相信号に対する位相補償が不十分であったため、想定した 50 k $\Omega$ //5 pF を超える負荷をドライブした場合において同相信号の発振を確認した。この同相信号の発振は差動利得の測定にも支障をきたす。

そこで、測定系の寄生を最小限に抑えるべく OTA の出力端に接続する素子の見直しを行い、帰還の撤廃、容量値の低いプローブの使用、LSI の出力ピンは評価基板に接続せずに直接プローブをあてて測定するといった工夫を施した。その結果、同相信号の発振は解消され、測定を行えた。なお、使用したアクティブプローブは差動信号に対応しないため、差動利得の測定は片方の入力端子にだけ信号を与えて行ったものを 2 倍した。

〈7・2〉 測定結果 図 12、図 13 に試作増幅器の利得周波数特性を示す。図 12 の特性が、電源電圧が設計中心値である 1.0 V での測定結果であり、図 13 は電源電圧 0.9 V とした場合の測定結果である。V<sub>DD</sub> = 0.9 V での測定時、V<sub>B1</sub>, V<sub>B4</sub>, V<sub>G2</sub>, V<sub>G3</sub> といった MOS のバックゲートやゲートに対するバイアス電圧は V<sub>DD</sub> の増減と同じ割合で設計中心値からずらして測定をした。また、入出力端の直流電位も当初の設計通り V<sub>DD</sub>/2 を厳守した。各グラフには比較のために実測結果とシミュレーション結果を併記した。シミュレーション値に関しては 2 種類示しており、測定系の寄生 (両

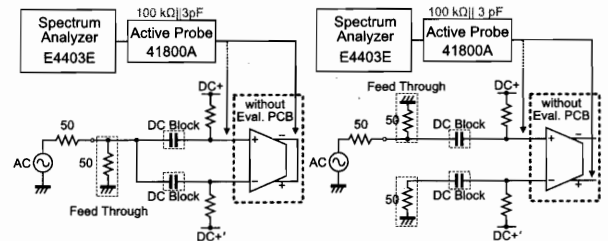


図 10 同相利得の測定構成 図 11 差動利得の測定構成  
Fig. 10. Measurement setup for common-mode gain of OTA Fig. 11. Measurement setup for differential-mode gain of OTA

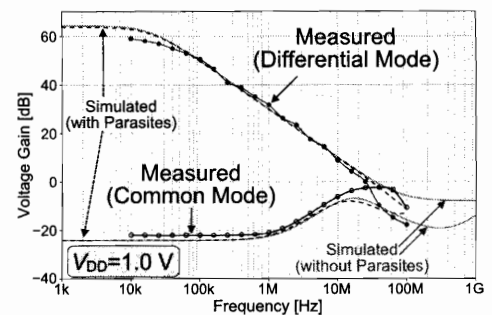


図 12 電源電圧 1.0 V における利得周波数特性の測定結果  
Fig. 12. Frequency responses of designed OTA, V<sub>DD</sub> = 1.0 V

表 12 試作 OTA の電源電圧 1.0 V における測定結果  
Table 12. Measured results of designed OTA, V<sub>DD</sub> = 1.0 V

	Simulated	Measured
電源電圧	1.0 V	1.0 V
差動電圧利得	63.7 dB	59.0 dB
同相電圧利得	-24.1 dB	-21.9 dB
同相除去比	87.8 dB	80.9 dB
-3 dB Freq.	20.5 kHz	32.0 kHz
Unity Gain Freq.	30.4 MHz	25.0 MHz
消費電流	108.5 $\mu$ A	59.9 $\mu$ A
位相余裕	79.0 deg	-
出力抵抗	8.81 k $\Omega$	-

出力端子に 100 k $\Omega$ //5 pF) を含んだものと含まないものである。図 13 での測定系の寄生を含まないシミュレーション結果は、設計中心電源電圧との比較のため V<sub>DD</sub> = 1.0 V のものを示した。

〈7・3〉 試作回路の評価 試作 OTA は実測により 59 dB の高い差動電圧利得を確認した。差動入力時の測定は前述の事情により帰還を掛けずに測定したため、動作点の変動が大きかったことを考慮すれば、目標としていた 60 dB の電圧利得をほぼ満足できたと言える。V<sub>DD</sub> = 1.0 V での同相利得はどの周波数でも 0 dB 未満であり、同相で発振することなく測定を行えた。しかし、電源電圧 V<sub>DD</sub> = 0.9 V での測定では小振幅の同相発振が起こっており、図 13 に示した利得周波数特性図を見ても、約 20 MHz の周波数で発振していることが窺える。なお、差動利得は 10 kHz での測定値であり、10 kHz ではすでにロールオフしていると思われる

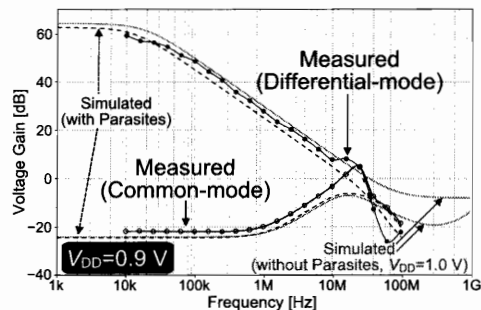


図 13 電源電圧 0.9 V における利得周波数特性の測定結果

Fig. 13. Frequency responses of designed OTA,  $V_{DD} = 0.9$  V

表 13 試作 OTA の電源電圧 0.9 V における測定結果

Table 13. Measured results of designed OTA,  $V_{DD} = 0.9$  V

	Simulated	Measured
電源電圧	0.9 V	0.9 V
差動電圧利得	62.7 dB	59.3 dB
同相電圧利得	-24.5 dB	-21.8 dB
同相除去比	87.2 dB	81.1 dB
Unity Gain Freq.	15.8 MHz	29.3 MHz
消費電流	50.7 $\mu$ A	35.6 $\mu$ A
位相余裕	68.3 deg	-
出力抵抗	11.7 k $\Omega$	-

ため、実際はもう少し大きいと考えられる。

この発振に対しては同相信号に対する位相補償が不十分であることと、動作電流が  $V_{DD} = 1.0$  V と比べて小さく、位相が遅れていることが考えられる。発振抑制のため測定系にはすでに工夫を施しており、完成した LSI 回路を変更、修正することもほぼ不可能であるため、これ以上の改良は難しい。

試作回路での動作電流が低い点については MOS の製造バラツキによる影響が考えられる。測定したチップの各電源電圧における動作電流に着目すると、設計値の約 60% 程度しか流れていない。本稿に掲載していないチップの中には、約 30% 程度しか流れていないものもあり、本 OTA は AB 級動作の CMOS インバータを基本としているため、A 級動作回路よりも MOS の製造バラツキの影響を受けやすい。

図 14 に無負荷・オープンループ時の測定結果を示す。

図 15 に OTA の入力換算雑音のシミュレーション値と実測値を示す。測定の関係で、雑音出力はシングルエンド測定としたので、シミュレーションもそれに合わせた。したがって、この入力換算雑音には出力雑音の差動成分と同相成分の両方が含まれている。1 MHz 前後で入力換算値に盛り上がりが見られるが、これは周波数に対する出力雑音の低下の傾きと差動利得の低下の傾きが異なるために生じたものと解釈される (図 16 参照)。

## 8. まとめ

本報告では微細半導体プロセスにおいても高い電圧利得を実現できるカスコード型 CMOS インバータを用いた全差動

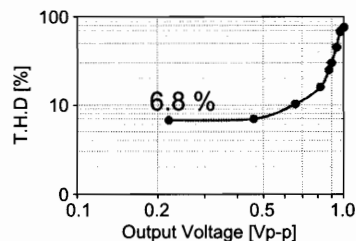


図 14 全高調波歪率の実測結果 (第 10 高調波まで測定)

Fig. 14. Measured result of total harmonic distortion

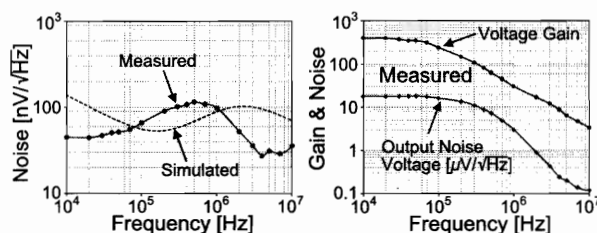


図 15 OTA の入力換算雑音

図 16 図 15 の補足

Fig. 15. Equivalent Input Noise Fig. 16. Supplement of Fig. 15 of designed OTA

OTA を提案した。チャネル長を大きく設計して高利得化を図る設計は行わず、あえて最小チャネル長の  $0.16 \mu\text{m}$  の MOS だけを用いて回路を構成した。中心電源電圧 ( $V_{DD} = 1.0$  V) においてシミュレーションでは 62 dB、集積回路での実測でも 59 dB の高い電圧利得を確認できた。また同相除去に関しても、設計値通り 80 dB 以上の同相除去比が得られたことから、カスコード型 CMOS インバータの差動除去機能が動作していると推測できる。測定当初、同相信号で発振をしていたが、寄生容量の低い測定構成にしたところ解消できた。つまり、同相帰還ループの位相補償が不足していたと考えられ、改良の余地がある。

謝 辞 本報告における LSI 試作は株式会社ルネサス テクノロジ  $0.15 \mu\text{m}$  CMOS プロセスを用いて行われた。試作の機会を頂戴し、有益なご議論を賜った同社の有本和民氏、奥野義弘氏に深謝する。また、本研究の一部は東京大学大規模集積システム設計教育センターを通し、日本ケイデンス株式会社の協力で行われたものである。

## 参考文献

- (1) 林海軍, 神宮 善敬, 稲葉 晋也, 小林 春夫, 「低電圧・高周波トランスコンダクタンス増幅器 -Nauta の OTA の改良-」, 電気学会電子回路研究会資料, ECT-04-37, 2004 年 6 月
- (2) K. Komoriyama, M. Yashiki, E. Yoshida, H. Tanimoto, "A Very Wideband Active RC Polyphase Filter with Minimum Element Value Spread Using Fully Balanced OTA Based on CMOS Inverters", IEICE Trans. Electronics, Vol. E91-C, No. 6, pp 879-886, June, 2008.
- (3) Behzad Razavi 著, 黒田 忠広 監訳, 「アナログ CMOS 集積回路の設計」, pp.64-65, 丸善株式会社, 2003 年