

終端抵抗およびキャパシタ下部電極の寄生を考慮した RC ポリフェーズフィルタの設計

小林 斗志樹, 谷本 洋* (北見工業大学)

Design of RC Polyphase Filters Considering Bottom Plate Parasitic Capacitances and Termination
Toshiki Kobayashi, Hiroshi Tanimoto* (Kitami Institute of Technology)

Abstract

The McGee's cascade synthesis procedure for RC polyphase-filters has been extended to include termination and/or parasitic capacitors of bottom plates. Extracting a parallel RC shunt arm for each unit section of RCPF, a full compensation of parasitic capacitors can be achieved. Some synthesis examples are demonstrated.

キーワード：RCPF, 縦続合成, 片側終端, 下部電極寄生容量
(RC polyphase-filters, cascade synthesis, single termination, bottom plate parasitic capacitance)

1. まえがき

RC ポリフェーズフィルタ (以下, RCPF と略記) は容易に集積化できるため, 近年, 無線通信システムにおけるイメージ信号抑圧用の回路として注目され, 実際に使用されることも多くなってきた。

最近, McGee による RCPF の縦続合成法⁽¹⁾ の存在が知られるところとなり⁽²⁾, 電圧伝達関数の極が負の実軸上に, 零点が負 (または正) の虚軸上にある任意の RCPF が合成できるようになった。しかし, McGee の縦続合成法では, 在来の単位区間 RCPF を R または C の並列腕で終端したものを新たな単位区間として合成を行うため, 並列腕を含まない従来の構成法に対して電圧利得が低下する問題がある。また, 終端や寄生容量を含めた設計にも対応できない。我々は並列腕の発生しない合成ができるための条件を検討し, 最大平坦 RCPF⁽³⁾ が並列腕を持たずに合成できるための条件と, 素子値広がりや和が最小になるための条件等について報告した⁽²⁾。

一方, RCPF を LSI 上で実装する場合は, 使用するキャパシタの下部電極の対接地寄生容量が無視できないため, 通過域の下端から上端に向かって次第に利得が低下し, 右肩下がりの振幅特性となる問題がある⁽⁴⁾⁽⁵⁾。実際, 通過域が 1 MHz~100 MHz の集積化 6 段等リプル RCPF の実測結果によれば高域端で約 10 dB ほどの利得低下が見られた⁽⁶⁾。

この広帯域 RCPF における寄生容量の問題を緩和するため, 我々は CMOS インバータを用いたアクティブ RCPF を提案し, 通過帯域が 1 MHz~100 MHz の 6 段アクティブ RCPF を LSI で実現してその効果を実証した⁽⁴⁾。しかし, ベースバンドはともかく, 無線通信などで通過域が GHz 帯ともなるとアクティブ化が困難であるため, 受動 RCPF の利用が強く望まれる。

以上の背景から, 我々は McGee の縦続合成法を並列腕に RC 並列インピーダンスを許すように拡張して寄生容量を並列腕に取り込むことにより, 所望の伝達関数を実現する

手法を提案する。また, 同様の手法により, 終端抵抗が存在する場合にも所望の伝達関数を実現できることを明らかにした。

本報告では, まず McGee による縦続合成法の概要を説明し, 終端抵抗がある場合の合成法, ついでキャパシタの下部電極寄生容量を考慮した合成法について述べ, いくつかの設計例を示す。

2. RCPF 縦続合成法の概要⁽¹⁾

〈2・1〉 1 段 RCPF の単相等価回路 RCPF は 4 相の回転対称な回路構造を有するため, 入力信号が対称 4 相交流信号であれば, 等価な単相回路を導くことができる⁽¹⁾⁽²⁾⁽⁶⁾。1 段の RCPF 単位区間に対する等価な単相回路のアドミッタンス行列 Y は次式で表すことができる⁽¹⁾⁽²⁾：

$$Y = \begin{pmatrix} G + sC & -G - jsC \\ -G + jsC & G + sC \end{pmatrix} \quad (1)$$

ここで, R, C は単位区間の RCPF を構成する抵抗とキャパシタの値であり, $G = 1/R$ と置いた。 Y は仮想的な単相等価回路のアドミッタンス行列であるため, 虚数単位 j が要素中に現れる。

〈2・2〉 通常の RC 2-port の電圧伝達関数の合成 Y 行列を有する回路網に対する (電圧源 V_1 で駆動, 開放出力電圧 V_2) の電圧伝達関数 $T_v(s)$ は次のように表される⁽⁷⁾：

$$T_v(s) \equiv V_2/V_1 = -y_{21}(s)/y_{22}(s) = Q(s)/P(s). \quad (2)$$

ここで, y_{21} と y_{22} が共通の分母多項式を有する有理関数であるとすると, 式 (2) の y_{21}, y_{22} は

$$-y_{21}(s) = Q(s)/h(s), \quad y_{22}(s) = P(s)/h(s) \quad (3)$$

と書ける⁽⁷⁾。すなわち, 通常の RC 回路網に対する電圧伝達関数の伝送零点は $y_{21}(s)$ の零点に由来し, 極は $y_{22}(s)$ の零点に由来する。この場合, 共通の分母多項式 $h(s)$ は式 (3) が

物理的に実現できるようなものであれば何でもよいが、与えられた電圧伝達関数だけでは決められない。 $h(s)$ を決めるには、それを分母多項式とする $y_{22}(s)$ がRC回路の駆動点アドミッタンスとなるようにすればよく、自由度がある。一方、 y_{21} (の分子多項式 $Q(s)$)の零点は s 平面のどこにあってもよい(極は駆動点アドミッタンスと一致する)。

RCPFの電圧伝達函数からの合成においては、駆動点アドミッタンスの極が負の実軸上に制限されることは通常のRC回路と同じであるが、零点については負の(または正の)虚軸上に配置する点異なり、さらに回路自体が非相対であることから、従来の合成法をそのまま適用することはできない。

〈2・3〉 McGee の RCPF 縦続合成法 n 段 RCPF の単相等価電圧伝達関数は次式で与えられる:

$$H(s) = \frac{(1 - js\tau_z^{(1)})(1 - js\tau_z^{(2)}) \dots (1 - js\tau_z^{(n)})}{(1 + s\tau_p^{(1)})(1 + s\tau_p^{(2)}) \dots (1 + s\tau_p^{(n)})} \quad (4)$$

ここで、 $\tau_z^{(k)}, \tau_p^{(k)}$ ($k = 1, 2, \dots, n$) はそれぞれ k 番目の零点と極の時定数である。縦続合成に必要な $y_{22}(s)$ は通常のRC 2-portの実現同様、伝達関数の極と、適切な極 b_k ($k = 1, 2, \dots, n-1$)を与えることにより、出力側から見た駆動点アドミッタンスを

$$y_{22}(s) = \frac{(s + 1/\tau_p^{(1)})(s + 1/\tau_p^{(2)}) \dots (s + 1/\tau_p^{(n)})}{(s + b_1)(s + b_2) \dots (s + b_{n-1})} \quad (5)$$

のように定め、これをもとに回路を合成する。また、抜き出す単位区間は縦続合成において零点移動法を利用するため、式(1)であらわされる単位区間の出力にコンダクタンス g_k (またはキャパシタ c_k ; 後述)を並列腕として接続したものとし、これを n 段縦続接続して構成する。第 k 番目の区間のアドミッタンス行列は次式となる:

$$Y_k = \begin{pmatrix} G_k(1 + s\tau_z^{(k)}) & -G_k(1 + js\tau_z^{(k)}) \\ -G_k(1 - js\tau_z^{(k)}) & G_k(1 + s\tau_z^{(k)}) + g_k \end{pmatrix} \quad (6)$$

ここで、 $\tau_z^{(k)} \equiv C_k R_k$, $G_k = 1/R_k$ であり、 g_k は k 段目の単位区間の出力側に並列接続したコンダクタンスである。従って、 G_k と g_k を決めることができれば第 k 段目の素子値が全て決定する。

図1は出力側から単位区間を抜き出してゆく手順を示している。同図で Y_1 は抜き取ろうとしている区間の出力側から信号源側を見込んだ駆動点アドミッタンスであり、 Y_2 は残りの回路の信号源側を見込んだ駆動点アドミッタンスである。このように、抜き出した回路が所望の伝送零点を持つように、零点移動法を適用しつつ $y_{22}(s)$ を実現してゆく。抜き取りが終了すると残った Y_2 は Y_1 よりも次数が1だけ低下しているので、順次信号源側へ向って抜き取りを繰り返すことができ、 $Y_2 = 0$ となれば終了である。

さて、信号源アドミッタンスが Y_2 である Y パラメータであらわされた回路の出力アドミッタンス Y_1 はよく知られているように次式で表される:

$$Y_1 = \frac{-y_{12}y_{21}}{y_{11} + Y_2} + y_{22} \quad (7)$$

この式に基づいて縦続合成を行う。

単位区間の抜き出しは出力端(第 n 段目)から入力端へ向って行う。式(6)より信号源側への伝達アドミッタンスは $y_{12}(s) = -G_n(1 + js\tau_z^{(n)})$ であるから、零点の周波数 $s = j/\tau_z^{(n)}$ において $y_{12}(j/\tau_z^{(n)}) = 0$ となる。ゆえに、 n 段目の回路の y_{22} がちょうど $y_{22}(j/\tau_z^{(n)}) = Y_1(j/\tau_z^{(n)}) = G_n(1 + j)$ になればそのまま通常のRCPFの単位区間を分離でき、実部と虚部の大きさが異なるときは、どちらか小さい方にあわせてコンダクタンス g_n またはキャパシタンス $j c_n$ を並列腕として付け加えたRCPFの1区間を分離できる。このようにして n 段目の素子値が全て決定する。よって、式(7)を Y_2 について解くことができる。それをあらためて第 n 段目を抜き出したあとの駆動点アドミッタンス Y_1 として、縦続合成の操作を続けることができる。

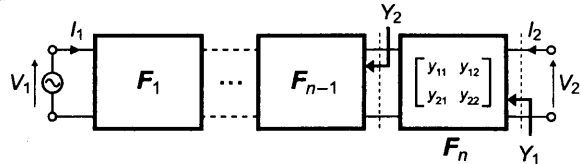


図1 縦続合成の手続き説明の図

Fig. 1. Explanation for cascade synthesis

3. 並列腕が必ずRC 並列回路となる設計法の提案

以上がMcGeeによるRCPFの縦続合成法の概要であるが、駆動点アドミッタンス Y_1 に零点を代入した際にその実部と虚部のどちらが大きいかに応じて次のような操作を行っていた。

$$Y_1(j/\tau_k^{(z)}) = G_k(1 + j) + \{g_k \text{ or } j c_k\}. \quad (8)$$

ここで、 $\{ \}$ の中は、実部 $>$ 虚部の場合 g_k 、逆の場合 $j c_k$ を選ぶ。すなわち、 $Y_1(j/\tau_k^{(z)})$ の実部と虚部の差を並列腕として取り出していた。

しかし、零点移動法が適用できる範囲内であれば、どちらか一方だけでなく、次式のようにして故意にコンダクタとキャパシタの並列回路を抜き出しても合成の操作を続けることができるのは明らかである:

$$Y_1(j/\tau_k^{(z)}) = (G_k - g'_k)(1 + j) + g'_k(1 + j) + \{g_k \text{ or } j c_k\}. \quad (9)$$

この方法によれば g'_k として必ず実部と虚部を同じだけ並列腕として取り出すことができ、かつ、並列腕の素子値をある程度自由に設定することができる。ただし、負の素子値を生じないためには g'_k は $G_k > g'_k$ の範囲になければならない。

たとえば、 $Y_1 = 5 + j3$ という値を得たとする。これまでは $Y_1 = 3(1 + j) + 2$ より $g_k = 2$ を並列腕として取り出した。しかし提案方法では $Y_1 = 2(1 + j) + (1 + j) + 2$ という形に分解して $3 + j$ を並列腕として取り出すことが可能である。この方法によれば必ず並列腕にキャパシタを含めることができるので、寄生容量を考慮した設計が可能になる。

次節では、この考えを利用して、キャパシタの下部電極の寄生容量を含めた設計法を示すのに先立って、最初から終端抵抗があることを考慮した合成も可能であることを示す。

4. 負荷を考慮した RCPF の合成法

従来は RCPF を設計するにあたって負荷が開放の条件で設計を行っていた。しかし現実には意図するしないに関わらず負荷が存在するので、実際に製造したものは設計値から特性が変化する。

したがって、現実的な設計を行うにあたり負荷容量や負荷抵抗を考慮した設計が必要である。本節では、等リプル RCPF と最大平坦 RCPF を例として実際に負荷を考慮した設計を行う方法を説明する。特に、最大平坦設計では常に並列腕のない設計が可能なので²⁾、これを利用した利得低下の少ない設計法を提案する。

〈4・1〉 0-R 型の合成法 簡単のため、終端抵抗は 1 [Ω] に正規化して議論を行う。まず、Y パラメータとして y_{21}, y_{22} を有する回路に 1 [Ω] の終端抵抗を付けた時の電圧伝達関数を $H(s)$ とすると、

$$H(s) = -y_{21}/\{1 + y_{22}\} \quad (10)$$

であることから、通常の 0-R 型 RC 回路の合成法⁷⁾と同様に RCPF の電圧伝達関数の式 (2) の分母を $P(s) = P_1(s) + P_2(s)$ と 2 つの部分に分けると、

$$T_v(s) = \frac{Q(s)}{P_1(s) + P_2(s)} = \frac{Q(s)/P_2(s)}{1 + P_1(s)/P_2(s)} \quad (11)$$

と書けるので、式 (10) と式 (11) を比較して

$$-y_{21} = Q(s)/P_2(s), \quad y_{22} = P_1(s)/P_2(s) \quad (12)$$

を実現すればよい。すなわち、これらのアドミタンスパラメータを持つ回路を McGee の方法で合成すればよい。

〈4・1・1〉 例題 1 比帯域 10 の 3 段等リプル RCPF を終端抵抗 1 [Ω] で実現する。中心角周波数を 1 に正規化した、終端開放時の伝達関数 $H(s)$ は次のようになる。

$$H(s) = \frac{(1 - js2.6496)(1 - js1)(1 - js0.37741)}{(s + 4.8196)(s + 1)(s + 0.20749)} \quad (13)$$

終端抵抗を導入するため、伝達関数の分母多項式である $P(s)$ を $P_1(s)$ と $P_2(s)$ に分ける。ただし、 $P_1(s)$ は駆動点アドミタンス y_{22} の分子多項式、 $P_2(s)$ は分母多項式となるので、 $P_2(s)$ は $P_1(s)$ より 1 次低いものでなければならない。さらに、 y_{22} が RC 駆動点アドミタンスであるための条件から $P_2(s)$ の根が $P_1(s)$ の根によって隔離されるように設定する必要がある。本例題では $P_2(s)$ の根を便宜的に $-1/2$ と $-3/2$ に設定した：

$$\begin{aligned} P(s) &= P_1(s) + P_2(s) \\ &= (0.0677327 + s)(0.912 + s)(4.04733 + s) \\ &\quad + (s + 1/2)(s + 3/2) \end{aligned} \quad (14)$$

よって実現すべき駆動点アドミタンス y_{22} は

$$y_{22} = \frac{P_1(s)}{P_2(s)} = \frac{(0.0677327 + s)(0.912 + s)(4.04733 + s)}{(s + 1/2)(s + 3/2)} \quad (15)$$

であり、伝達アドミタンス y_{21} は

$$-y_{21} = \frac{Q(s)}{P_2(s)} = \frac{(s + 4.8196)(s + 1)(s + 0.20749)}{(s + 1/2)(s + 3/2)} \quad (16)$$

である。これらのアドミタンスパラメータに対して終端抵抗がない場合と同様の縦続合成法を適用すればよい。

零点配置順序を時定数の大きい順序 [1,2,3] として合成を実行すると、素子値は表 1 のようになる。

3 段目に 1 [Ω] が終端抵抗として接続されており、1 段目には並列腕として $g_1 = 0.246635$ [S] が接続されているので通過域の利得は低下し、終端開放の場合に比べて 0.158372 倍となる。

表 1 例題 1 の実現素子値

Table 1. Realized element values for Example 1

n	R_n [Ω]	C_n [F]	並列腕の素子値
1	2.34613	1.12937	$g_1 = 0.246635$ [S]
2	1.13439	0.88153	$c_2 = 1.620480$ [F]
3	0.37929	0.99504	$c_3 = 0.323258$ [F]

*) $R_L = 1.0$ [Ω]

〈4・2〉 RC 並列負荷を考慮した RCPF 設計法

RCPF は開放電圧を出力とすることが基本的な使用方法であるが、現実には負荷として次段 (例えばバッファアンプ) の入力抵抗と入力キャパシタが並列になったものが接続されると考えるのが妥当であり、その場合、無負荷の場合とは伝達特性が異なってくる。従って、単純な抵抗負荷ではない場合でも所望の伝達特性を得るための設計法が必要である。次に、その方法を検討する。

〈4・2・1〉 最大平坦 RCPF の場合 まず、負荷が並列の素子値が等しいコンダクタンス g_L と容量 c_L から成る場合の設計を考えるにあたって、最初は無負荷 (開放端) として設計を始める。

最大平坦 RCPF では、駆動点アドミタンス Y_1 の分母多項式を自己相反多項式にすることで常に並列腕のない設計が可能である²⁾。すなわち、式 (9) において $g_k = c_k = 0$ とできる。したがって、負荷側の単位 RCPF 区間がうまく設計できれば、それより信号原側の区間はすべて並列腕のない区間として実現可能である。

上記のことから縦続合成法の操作における零点移動の操作の際に

$$Y_1(j/\tau_k^{[j]}) = G'_k(1 + j) + g'_k(1 + j) \quad (17)$$

と分解して、故意に少ない数の値 $G'_k(1 + j)$ だけ RCPF として引き抜けば、式 (17) のように RC 並列腕のアドミタンス分 $g'_k(1 + j)$ を仮の終端として残すことができる。ここで、 $G_k = G'_k + g'_k$ となるように分解するものとする。

最大平坦 RCPF では $Y_1(s)$ の分母分子が自己相反多項式であるように選べば $s = 0$ において $Y_1(0) = 1$ [S] となる。簡単のため終端のコンダクタンス g_L を $1 > g_L > 0$ の範囲で設計することになると、 $g_L = g'_k$ として抜き出した回路の直

流における利得は $1 - g_L$ 倍である。このようにすると任意の終端コンダクタンスが設計できないように思うかもしれないが、最終的には、インピーダンススケーリングを行い、所望の終端抵抗に合わせた設計が可能である。

以上が設計手順であるが、設計におけるトレードオフは利得と素子値広がり和である。文献⁽²⁾で述べたように素子値広がり和と利得には相関があり、利得をあまり大きくしすぎると、素子値広がり和が大きくなり、LSIの製造の際に問題となる。これを考慮して実際に具体的な回路の設計を行う。

(4・2・2) 例題 2 負荷がコンダクタンス $g_L = 0.5 \text{ S}$ と容量 $c_L = 0.1 \text{ F}$ の並列である 3 段最大平坦 RCPF を設計する。

3 段最大平坦 RCPF の素子値広がり和 M_1 は並列腕がない場合には $M_1 = 12$ と非常に小さい設計が可能である。したがって、利得を高く取ってある程度大きな素子値広がり和を許しても、LSIの製造を行うことができる程度なら問題にはならない。したがって、利得 0.9 倍として設計を試みる。利得 0.9 倍であることから並列腕としては $g = c = 1 - 0.9 = 0.1$ の並列腕を残した設計を行えばよい。

ここで、3 段 RCPF の伝達関数は次のようになる。

$$H(s) = \frac{(1+j)^3}{(s+3.73205)(s+1)(s+0.26795)} \quad (18)$$

したがって、3 段最大平坦 RCPF の最小素子値広がり設計を与える駆動点アドミタンス Y_1 は極 $s = -0.493$ および $s = -1/0.493$ を用いて次のように表すことができる⁽²⁾。

$$Y_1(s) = \frac{(s+3.73205)(s+1)(s+0.26795)}{(s+0.493)(s+1/0.493)} \quad (19)$$

まず、出力側から単位区間を抜き出すに当って、 $Y_1(j1) = 1.58642(1+j)$ であるが、これから仮の終端として $g = c = 0.1$ を並列腕として取り出すと、残りの駆動点アドミタンス Y_1' は $Y_1'(j1) = 1.48642(1+j)$ となる。よって、仮の終端を除いた 3 段目の単位 RCPF 区間の素子値は $G_3 = C_3 = 1.48642$ となる。残りは McGee の縦続合成手順によって各区間の零点の値 ($\tau_1^{(2)} = \tau_2^{(2)} = 1$) から素子値を順次計算すればよく、元々並列腕が発生しないように $Y_1(s)$ の極を選んだので、2 段目と 1 段目には並列腕が発生しない。計算結果を表 2 に示す。

表 2 3 段 RCPF の設計値 (インピーダンススケーリング前)
Table 2. Element values for 3-stage RCPF before scaling

段数 k	R_k [Ω]	C_k [F]
1	0.131934	7.57955
2	0.306421	3.26349
3	0.672757	1.48642
並列腕	$1/g=10$	0.1

次に、上で定めた仮終端 ($g = c = 0.1$) を、予め与えられ

た終端の仕様値である $g_L = 0.5 \text{ S}$, $c_L = 0.1 \text{ F}$ となるようにインピーダンススケーリングを行う。しかし、提案手法では仮終端のコンダクタンス値と容量値が等しいものしか得られないので、異なる素子値が必要な場合は、スケーリングした結果のアドミタンス値が仕様値よりも小さい方の素子に対して、仕様値になるまで同種素子を並列接続する。

本例題の仕様では $g_L > c_L$ であるから、仮終端のコンダクタンス分 $g = 0.1$ が 0.5 となるよう、全てのアドミタンスを 5 倍する。その結果、 c も 0.5 F となるが、仕様では負荷容量が 0.1 F なので、3 段目の並列腕として 0.4 F を残し、トータルで 0.5 F となるようにする。以上の操作による最終的な素子値と回路を図 2 に示す。

この時の利得は設計通りの 0.9 倍であり、LSI で設計する素子の素子値広がり和は $M_1 = 99.8435$ と最小素子値広がり和の場合の $M_1 = 12$ よりも大きくなった。しかし、この程度の素子値広がり和の大きさは製造可能な範囲と考える。

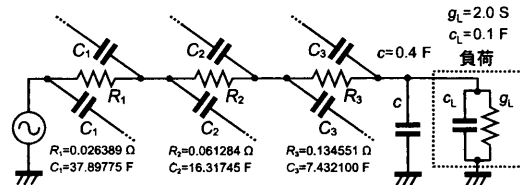


図 2 例題 2 の最終的な素子値と回路

Fig. 2. Final circuit and its element values for Example 2

なお、例題 2 とは逆に終端負荷の仕様が $g_L = 0.1 \text{ S}$, $c_L = 0.5 \text{ F}$ と容量値の方が大きい場合は仮終端の c が 0.5 F となるように 5 倍のアドミタンススケーリングを行い、負荷コンダクタンスが 0.5 S なので、3 段目の並列腕として 0.4 S を残し、トータルで 0.5 S となるようにすればよい。ただし、この場合は本来無用な 0.4 S のために電圧利得が低下するので、 $g_L > c_L$ となるように設計する方が有利である。

他の設計手法として、負荷容量は一旦無視して $0-R$ 型として駆動点アドミタンスを設計し、最終段の設計に上記の手法を適用して不足している負荷容量 (および並列コンダクタンス) を抜き出し、その結果にインピーダンススケーリングを施す方法も考えられる。あるいは、不足している負荷容量だけを抜き出し、残りの駆動点インピーダンスを合成する方法も考えられるが、今のところいつでも合成が完了できる保証がない。

5. キャパシタの下部電極寄生容量を考慮した設計法

RCPF を LSI として実現した場合、必然的にキャパシタの下部電極に対地寄生容量が生じる。しかし、この寄生容量は並列腕のキャパシタとみなすことができるため、本節ではこれを考慮した設計法を検討する。

(5・1) 例題 3 (寄生のある最大平坦 3 段 RCPF) RCPF の各段に付く寄生容量はその段で使用しているキャパシタ値に比例すると考えられるが、本例題では簡単のため各段に全て等しい寄生容量 $c_p = 0.1 \text{ F}$ がつくことを仮定して最大平坦 3 段 RCPF の設計を説明する。

最大平坦 3 段 RCPF の伝達関数は式 (18) で与えられる。こ

れに対して駆動点アドミタンス Y_1 の極は、 $3.73205 > b_1 > 1$ 、 $1 > b_2 > 0.267949$ にあればよいので、この設計では便宜的に $b_1 = 2$ 、 $b_2 = 1/2$ とする。

$$Y_1(s) = \frac{(s + 3.73205)(s + 1)(s + 0.267949)}{(s + 2)(s + 1/2)} \quad (20)$$

まず駆動点アドミタンス Y_1 に $y_{12}(s)$ の零点 j を代入して、 $Y_1(j) = 1.6(1 + j)$ より寄生容量 $c_p = 0.1 \text{ F}$ を考慮して、 $Y_1(j) = 1.5(1 + j) + 0.1(1 + j)$ の形にする。したがって、 $G_3 = C_3 = 1.5$ 、 $g_3 = c_{p3} = 0.1$ となる。

次に Y_2 を求めて同様の設計を行う。 Y_2 は

$$Y_2(s) = \frac{2.25(s^2 + 2.83333s + 1)}{(s + 1)} \quad (21)$$

であり、零点 j を代入すると $Y_2(j) = 3.1875(1 + j)$ となる。したがって、寄生容量 $c_p = 0.1 \text{ F}$ を考慮して、 $Y_2(j) = 3.0875(1 + j) + 0.1(1 + j)$ とする。これより、 $G_2 = C_2 = 3.0875$ 、 $g_2 = c_{p2} = 0.1$ となる。

最後に Y_3 を求めると、

$$Y_3(s) = 7.0807(1 + s) \quad (22)$$

であるから、零点 j を代入して寄生容量を考慮すると $Y_3(j) = 6.9807(1 + j) + 0.1(1 + j)$ となり、 $G_1 = C_1 = 6.9807 \text{ F}$ 、 $g_3 = c_{p3} = 0.1$ となる。

設計した回路の伝達関数を実際に計算すると、0.848 倍に利得が低下していることが分かる。

例題 3 では後からちょうど寄生容量だけを並列腕として抜き取る手法を用いたが、逆にあらかじめ寄生容量を考慮して抜き出しておき、寄生容量を抜き取った駆動点アドミタンスを合成しても同じ結果を得る。

しかし、実際の LSI における寄生容量は各段のキャパシタの値に比例して生じるため、各段の RCPF の素子値よりも先に寄生容量を決めることができない。したがって、例題 3 の手法を用いて設計を行う方が便利である。またこの設計法は等リプル RCPF でも有効である。

なお、寄生容量値 c_{pk} が C_k の p 倍 ($0 \leq p < 1$) で与えられる場合は、一旦寄生がないとして C_k を求め、次に $c_{pk} = pC_k$ より寄生を求めることで例題 3 と同様に設計が可能である。

6. 寄生容量を考慮した設計法の有効性

本節では、寄生容量がついた場合と、前節で示した寄生容量を考慮した設計を行なった場合について比較検討し、寄生容量を考慮した設計法の有効性を検証する。

比較は、3 段最大平坦および 3 段比帯域 10 の等リプル RCPF を用いて行う。この設計では RCPF の各段のキャパシタの下部電極寄生容量として、キャパシタ本体の容量値に対して 10% の寄生があるものとした。それぞれに対して寄生を考慮した設計と考慮しない設計を行った結果を図 4 と 5 に示す。

設計した最大平坦 RCPF の素子値を表 3 に、等リプル RCPF の素子値を表 4 と図 3 に示す。

表 3 3 段最大平坦 RCPF において寄生容量を考慮しない場合と考慮した場合の素子値

Table 3. Element values with and without accounting parasitic capacitances

段数 k	寄生考慮なし		寄生考慮あり			
	R_k [Ω]	C_k [F]	R_k [Ω]	C_k [F]	r_k [Ω]	c_{pk} [F]
1	1	1	0.200312	4.99221	2.00312	0.499221
2	2	1/2	0.372481	2.6847	3.72481	0.26847
3	6	1/6	0.6875	1.45455	6.87498	0.145455

表 4 3 段等リプル RCPF の寄生容量を考慮しない素子値

Table 4. Element values without accounting parasitic capacitances

段数 k	R_k [Ω]	C_k [F]
1	1.00000	2.64964
2	1.61159	0.620504
3	2.59723	0.145312

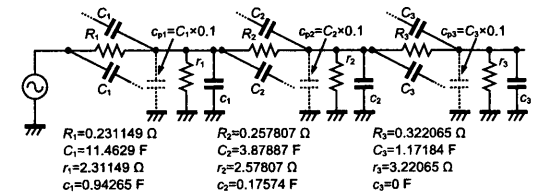


図 3 10% の寄生容量を予め考慮した場合の回路と素子値

Fig. 3. Element values with 10% of parasitic capacitances

図 4 と 5 から、寄生容量を考慮しない設計では、寄生容量が存在すると通過域において高域側に向かって減衰量が数 dB 程度増加することが観察された。通過域における数 dB の減衰量偏差は、多くの応用において等化が必要なレベルと考えられる。一方、阻止域では減衰量が元々大きいため、寄生容量の影響はあまり目立たない。

これに対して、縦続合成法を応用して予め寄生容量を考慮した設計を行った結果では、減衰量が周波数によらず一定であり、理想的な特性から一定の減衰量 (最大平坦 RCPF では 3~4 dB、等リプル RCPF では 5 dB 程度) 分だけ平行移動した特性が得られている。この程度の利得の低下ならば増幅器で補うことが容易であるから、通過帯域の等化を行うよりも縦続合成法を用いて寄生容量を考慮した設計を行なう方が現実的であり、10% の寄生があるならば寄生を考慮しない設計はむしろ受け入れ難いと言える。

〈6・1〉寄生容量のばらつきによる影響 寄生容量はキャパシタ本体の値に対する比率で決まり、その比率 p は製造プロセスやキャパシタの構造によって変化するが、およそ 10~20% の範囲にあるとされている⁽⁶⁾。さらに、製造ばらつきを考慮すると、実際の製造過程では $p \pm \Delta p$ だけ変動すると考えなければならない。

そこで、本節の検討では $p = 10\%$ の寄生容量を仮定して設計した RCPF が、 $\Delta p = 5\%$ の変動を受けたときに、どの程度特性変動を示すかをシミュレーションによって検討する。

具体的な例として、比帯域 10 の等リプル 3 段 RCPF にお

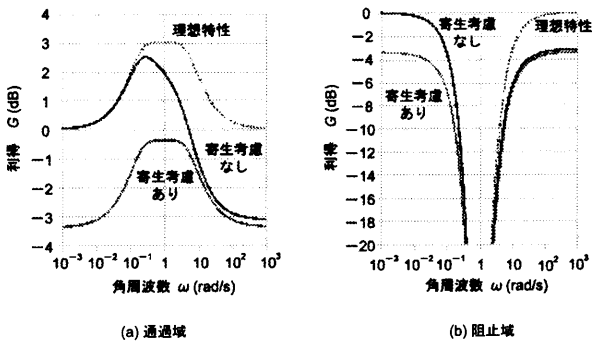


図4 最大平坦 RCPF の寄生容量の影響による比較
Fig. 4. Parasitic capacitance effect in maximally flat RCPF

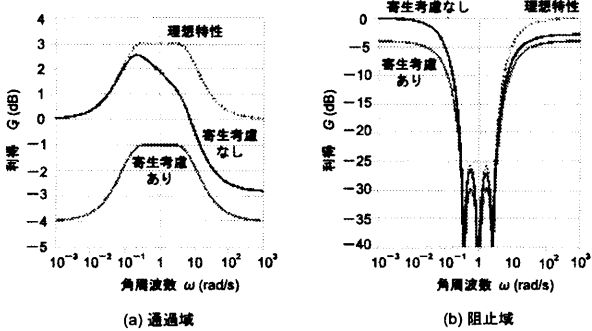


図5 等リプル RCPF の寄生容量の影響による比較
Fig. 5. Parasitic capacitance effect in equal ripple RCPF

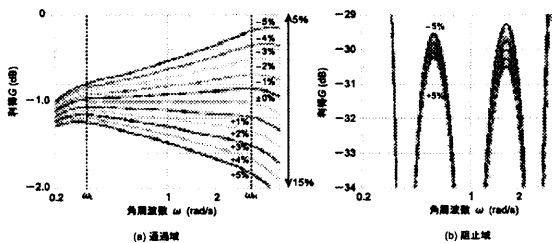


図6 寄生容量を考慮した3段等リプル RCPF に対する寄生容量バラツキの影響
Fig. 6. Effect of parasitics variation in proposed design

いて寄生容量が $p = 10\%$ であるとして設計した図3の回路に対し、 $\Delta p = \pm 5\%$ の範囲で変動を与えてシミュレーションした結果を図6に示す。

等リプル RCPF では、阻止域、通過域の上下端の角周波数 ω_H と ω_L の間が使用する周波数範囲であり、図6より通過域、阻止域の特性のどちらにおいても ω_H で最大の誤差を示し、その値は ± 0.8 dB 程度であった。

寄生容量変動 Δp の影響をより受けがたくするには、並列腕に p の値で定まる c_{pk} よりも故意に大きな容量値のキャパシタを抜き出せばよい。しかし、この操作は同時により大きな値のコンダクタを並列腕として抜き出すことになるので、利得の低下が大きくなる問題を内包している。よって、必要以上のキャパシタを抜き出すかどうかは、寄生容

量の変動による特性変化抑圧と、それに対応する利得低下のトレードオフによって決めるべきであると言える。

なお、本節では等リプル RCPF のみの結果について示したが、最大平坦 RCPF でも同様のことが言える。

7. おわりに

本報告では与えられた多段 RCPF の電圧伝達関数を系統的に実現する方法として、McGee が提案した縦続合成法についての概要を再構成して説明した。さらに、この縦続合成法を RCPF が抵抗終端を有する場合、および抵抗とキャパシタの並列で終端される場合に拡張した。ついで、RCPF の LSI 化において実用上重要な、キャパシタの下部電極の寄生容量を考慮した設計法を提案した。提案手法により、下部電極に寄生容量がある場合でも、一定損失を許容すれば与えられた伝達関数と完全に一致する素子値が設計できることを示した。これにより、比帯域の大きい場合や周波数が高い場合にも、これまで難しかった平坦な通過域特性が容易に設計できるようになった。

謝辞

McGee の縦続合成法を終端や寄生容量のある場合への拡張に関して議論して頂いた長崎大学の武藤浩二先生に感謝します。

参考文献

- W. F. McGee, "Cascade Synthesis of RC Polyphase Networks," in *Proc. 1987 IEEE International Symposium on Circuits and Systems*, pp.173-176, Philadelphia, PA, USA, 1987.
- 小林斗志樹, 谷本洋, 「RC ポリフェーズフィルタの縦続合成に関する検討」, 電気学会電子回路研究資料, ECT-09-042, 2009年3月.
T. Kobayashi, H. Tanimoto, "Some Considerations on Cascade Synthesis of RC Polyphase Filters," *Papers of Technical Meeting on Electronic circuits*, ECT-09-042, IEE Japan, Mar. 2009.
- 武藤浩二, 「双一次 LP-LP 変換によるポリフェーズ伝達関数の一設計法」, 電気学会電子回路研究会資料, ECT-07-111, 2007年12月.
C. Muto, "A Polyphase Transfer Function Design based on the Bilinear LP-LP Transformation," *Papers of Technical Meeting on Electronic circuits*, ECT-07-111, IEE Japan, Dec. 2007.
- K. Komoriyama, M. Yashiki, E. Yoshida, H. Tanimoto, "A Very Wideband Active RC Polyphase Filter with Minimum Element Value Spread Using Fully Balanced OTA Based on CMOS Inverters," *IEICE Trans. Electronics*, Vol.E91-C, No.6, pp.879-886, Jun. 2008.
- 秦 佑輔, 武藤浩二, 「2次及び3次バターワース型 RC ポリフェーズフィルタについての一検討」, 電気学会電子回路研究会資料, ECT-09-041, 2009年3月.
- M. J. Gingell, "The synthesis and application of polyphase filters with sequence asymmetric properties," Ph.D. thesis, University of London, 1975.
- 武部幹, 篠崎壽夫, 寺本三雄, 「応用回路網学」, 2.8 RC 伝達関数の実現, 朝倉書店, 昭和47年.
- B. Razavi (黒田忠広監訳), 「アナログ CMOS 集積回路の設計 応用編」, 丸善株式会社, 平成15年3月.