

CMOS インバータを用いた低電圧擬似全差動増幅器の設計

小森山恵士*, 谷本洋 (北見工業大学)

Design of Low Voltage Pseudo-Differential OTA Using CMOS Inverters

Keishi Komoriyama*, Hiroshi Tanimoto (Kitami Institute of Technology)

Abstract

A CMOS inverter-based fully differential OTA is proposed, which can operate from a low power supply voltage and has cross-coupled phase neutralization. Modern fine line CMOS inverters exhibit rather low voltage gain when used as analog transconductors. We propose two-stage configuration to increase voltage gain. To prevent common-mode instability, we adopted the Nauta's OTA⁽¹⁾, which is fully differential with common mode suppression capability, for each stage of the two-stage construction. Phase compensation is also required for differential-mode instability in this two-stage construction, we employed cross-coupled capacitor neutralization for maximum unity gain frequency. We confirmed by SPICE simulation, that the phase characteristic has been improved without significant degradation of unity gain bandwidth, assuming 0.18 μm CMOS process operating from 1 V power supply voltage.

キーワード：擬似全差動増幅器，位相中和，OPA，OTA，CMOS インバータ
(pseudo differential amplifier, phase neutralization, OPA, OTA, CMOS inverter)

1. はじめに

現在はアナログデジタル混載のシステムが，携帯電子機器等で主流となっている．それは，アナログ回路とデジタル回路を1つのチップに収めることで，チップ数を減らし，実装面積を小さくできることや，アナログデジタルそれぞれに得意な信号処理をすることができる等の理由からである．デジタル回路においては，高速化，高集積化，低消費電力化のためにデバイスの微細化が進められている．しかし，このデバイスの微細化は，アナログ回路にとっては問題となっている．

アナログ回路の基本的なブロックとして差動増幅回路がある．差動増幅回路は差動増幅対とテール電流源で構成されており，電源とグランド間の MOSFET の数が3個以上となる．MOSFET の動作に最低限必要な電圧を考慮すると，低電圧化には限界があり，この構成では1 V 程度である⁽²⁾．

一方，低電圧で動作する増幅器に CMOS インバータがある．これは，電源とグランドの間に2つの MOSFET で構成されているので，従来の方法よりも電源電圧を下げるができる．しかし，微細 CMOS では開放電圧利得が 20~30 dB と低い．また，消費電流を抑えて利得を増やすには多段接続するのが好都合であるから，本報告では2段接続にして，消費電流を抑えつつ利得を稼ぐことにする．

差動増幅回路にするためには，差動信号用に2つの信号経路が必要である．単純に，2段接続した CMOS インバータを並列に並べて出力を交差させることを考える．これに帰還をかけたものを図1に示す．インバータ単体では同相除去の効果が無いことに加え，2段接続したインバータの入力と出力が同相になるため，同相入力に対する帰還が正帰還となる．従って，発振を防止するためには同相利得を1倍以下にする必要がある．この目的で Nauta 氏の提案に

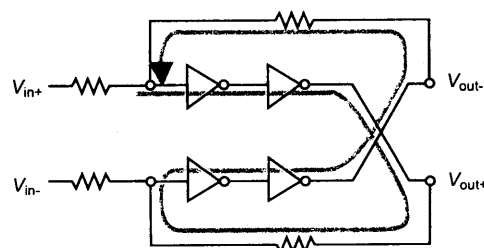


図1 インバータを用いて全差動増幅器を実現するアイデア
Fig. 1. Basic idea for inverter-based fully differential amplifier

なる CMOS インバータを用いた OTA⁽¹⁾ を使用した．

しかし，この構成では，Nauta's OTA を2段接続しているため，位相遅れにより差動入力に対する帰還も正帰還となる恐れがあり，位相補償をする必要がある．標準的な位相遅れ補償を行うと利得帯域幅積が大幅に減少するので，本報告では，回路が全差動であることを利用して，たすきがけ状にした容量を用いて位相遅れを中和する方法で位相補償を試みる．さらに，電源電圧を従来の差動対による構成の限界である1 V に設定して，その特性を検討する．

その結果，差動利得の周波数特性を，ほとんど悪化させることなく位相補償が可能であることが分かった．

2. Nauta's OTA

本報告での全差動演算増幅器の設計に使用した，Nauta 氏による CMOS インバータを用いた OTA⁽¹⁾ を図2に示す．

Nauta's OTA は基本的に信号増幅に CMOS インバータを用いた擬似差動演算増幅器である．差動入力信号を加えた場合，出力ノードにおいて入出力を短絡した INV₄ (INV₃) を負荷とする INV₃ (INV₆) で INV₁ と INV₂ の出力端子間を橋渡ししてやることによって，差動信号に対しては負荷

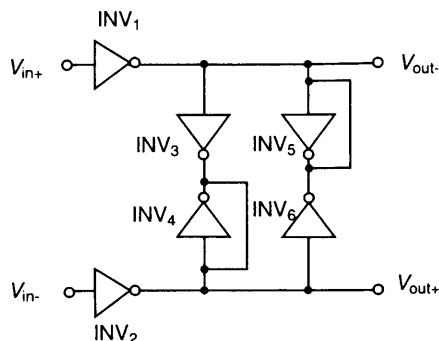


図2 Nauta's OTA の構成
Fig. 2. Configuration of Nauta's OTA

コンダクタンスが $g_m - g_m = 0$ となり、利得に影響しない。これに対して、同相入力信号に対しては出力は同じ電圧なので負荷コンダクタンスは $g_m + g_m = 2g_m$ となり、同相利得を著しく低下させることが可能となる。さらに、2つのトランスコンダクタンスの値をずらすことにより、負性抵抗を利用して差動利得を増大させることも理論的には可能である。

この Nauta's OTA の利点は、

- 擬似差動の回路構成となっているために、電源・グラウンド間には2つの MOSFET しか存在せず、原理的に従来の構成よりも低い電源電圧で動作する。
- インバータは、nMOS と pMOS のソース接地 AB 級プッシュプルで信号増幅するため、同じ消費電流ではシングルエンドのソース接地増幅回路よりも利得が大きい。
- この OTA 単体では、入力と出力のみにノードが存在し、内部ノードが存在しないため、寄生する極と零点の数が少なくすみ、その分、良好な周波数特性を得られる。

等である。

3. クロス中和による位相補償

電源電圧 1 V でチャネル長 $0.18 \mu\text{m}$ の条件では出力抵抗が低いため、Nauta's OTA は単体での利得が 25 dB 程度と低い。このため、演算増幅器として使用するためには、2段以上縦続接続して利得を上げなければならない。しかし、2段構成となると、位相余裕が無くなり、帰還をかけると発振する恐れが多分にある。従って、位相補償をする必要がある。

そこで、位相補償のために、Nauta's OTA が全差動であることを利用して、図3のようにそれぞれの信号増幅用 CMOS インバータの出力と、それぞれの逆相の入力を、位相補償用のコンデンサ C_X で結合する。これによって、出力の位相遅れを中和する。図3において C_{GD} はインバータのゲート・ドレイン間にある寄生容量である。

この構成による位相補償のしくみを以下に述べる。出力 V_{out1} をみると、 V_{out1} は、 V_{in1} から V_{in2} までの電圧を C_X と C_{GD} で分圧した形になっている。従って、差動入力それぞれ

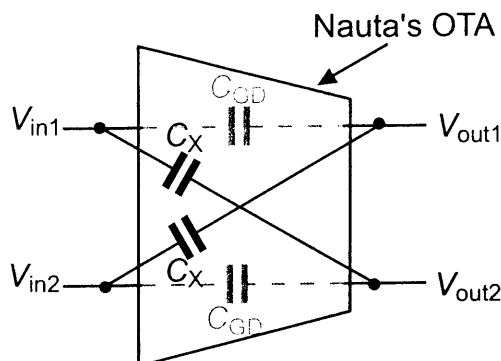


図3 中和のためのクロス接続した容量 C_X
Fig. 3. Cross connected capacitors C_X for neutralization

ぞれ $V_{in1} = V_{in}$, $V_{in2} = -V_{in}$ であるとき、出力 V_{out1} は次のように表せる。

$$V_{out1} = \frac{C_{GD} - C_X}{C_{GD} + C_X} V_{in} \dots \dots \dots (1)$$

V_{out1} の振幅は、 C_X と C_{GD} の値によって決まり、 $C_X = C_{GD}$ のとき、 V_{in1} と V_{in2} が完全に打ち消しあうので、この経路での信号遅延は無くなる。

また、 C_X を C_{GD} よりも大きくすると、 V_{out1} においては V_{in2} の方が効いてくるので、伝わる信号は位相が進む。ただし、 C_X は帰還経路にもなっているため、あまり大きくしすぎると、同相帰還ループの位相余裕が減少する。

一方、同相入力の場合には、 V_{in1} と V_{in2} は等しく、また、 V_{out1} と V_{out2} も等しいため、 C_X は、 C_{GD} に並列に接続されたものと見なせる。従って、同相入力に対しては、 C_X は位相を進ませる効果は無く、等価的な C_{GD} の増大により帯域幅の減少を招くことになる。

4. 提案回路の構成とその特性解析

〈4・1〉 提案回路の構成 図4は、提案した全差動増幅回路の回路構成である。解析およびシミュレーションでは、この構成より開ループでの出力特性を求める。この回路の小信号等価回路について節点方程式を解くと、差動信号に対する開ループ利得は次のように求まる。

$$\frac{V_{out}}{V_{in}}(s) = \frac{-g_{m1}R_2g_{m3}R_3}{1 + x_1s + x_2s^2} \times \left(1 - \frac{C_{GD1} - C_{X1}}{g_{m1}}s\right) \left(1 - \frac{C_{GD2} - C_{X2}}{g_{m3}}s\right) \dots (2)$$

ここで、分母の係数 x_1, x_2 は g_m, C, R の関数であるが、式が長くなるためここでは省略する。 x_1, x_2 の内容は(4・2)で示す。

〈4・2〉 差動信号に対する極と位相 式(2)から、位相補償用の容量 C_{X1}, C_{X2} のそれぞれが、極と位相に与える影響を調べる。

まず極について調べる。伝達関数の分母 = 0 の根が極と

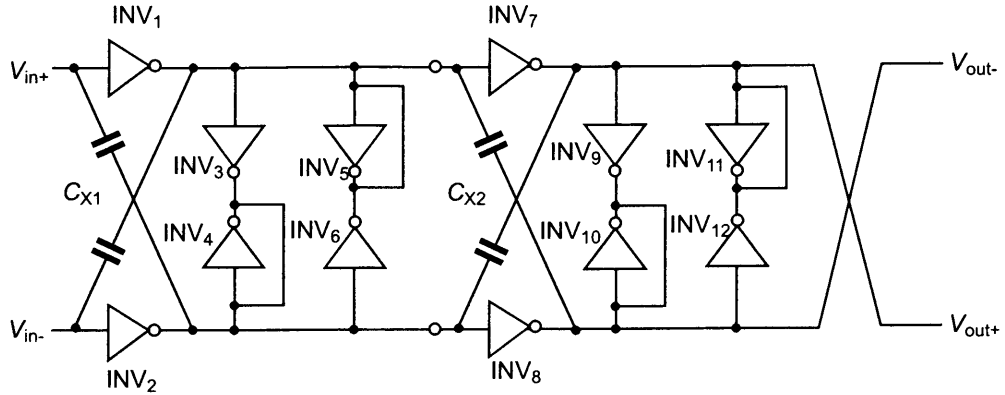


図4 提案する Nauta's OTA を 2 段接続した全差動増幅器の構成
Fig. 4. Proposed fully differential two-stage amplifier using Nauta's OTA

なるので、式 (2) の分母の性質を調べてみる。

式 (2) において、分母は式 (3) の形の 2 次関数として表されている。

$$f(s) = 1 + x_1 s + x_2 s^2 \dots\dots\dots (3)$$

係数 x_1, x_2 は g_m, C, R の関数であり、容易には因数分解できない。そこで、まず 2 次関数の係数 x_1, x_2 に与える C_{X1}, C_{X2} の影響を調べる。次に、2 次関数の根に与える係数 x_1, x_2 の影響を調べる。この 2 つの結果から、 C_{X1}, C_{X2} が、極に与える影響を考える。

まず、2 次関数の係数 x_1, x_2 に与える C_{X1}, C_{X2} の影響を調べるために、 x_1, x_2 を、それぞれ C_{X1}, C_{X2} の関数としてまとめる。

$$x_1(C_{X1}, C_{X2}) = C_{X1}a_1 + C_{X2}b_1 + c_1 \dots\dots\dots (4)$$

$$a_1 = R_2, \quad b_1 = R_2 + R_3 - R_2g_{m3}R_3$$

$$c_1 = R_2(C_{GD1} + C_{GD2} + C_2 + 4C_{GD}) + R_3(C_{GD2} + C_3 + 4C_{GD}) + R_2R_3g_{m3}$$

$$x_2(C_{X1}, C_{X2}) = C_{X1}a_2 + C_{X2}b_2 + c_2 \dots\dots\dots (5)$$

$$a_2 = R_1R_2(C_{GD2} + 4C_{GD} + C_3), \quad b_2 = R_1R_2$$

$$c_2 = R_1R_2(8C_{GD} + C_{GD1} + 4C_{GD2} + C_2 + C_3)$$

$$d_2 = R_1R_2\{C_2C_3 + C_2(4C_{GD} + C_{GD2}) + C_3(4C_{GD} + C_{GD1} + C_{GD2}) + (16C_{GD}^2 + 4C_{GD1}C_{GD} + 8C_{GD2}C_{GD} + C_{GD1}C_{GD2})\}$$

これより C_{X1}, C_{X2} どちらを増やしても、 x_2 は増加することが分かる。しかし、 x_1 は C_{X1} を増やすと増加するが、 C_{X2} を増やすと減少することが分かる。

また、 x_1 の変化度合いは、 C_{X2} の方が C_{X1} より $g_{m3}R_3 - (1 + R_3/R_2)$ 倍大きく、 C_{X2} の変化によって、 x_1 は、急激に減少することが分かる。ただし、 x_1 が小さくなりすぎると、2 次関数の解が複素数となり、利得の周波数特性がピーク

を持つので注意が必要である。従って、 C_{X2} は、あまり大きな値はとれない。逆に、 C_{X1} は、大きな値をとることができる。

次に、 x_1, x_2 の極への影響を調べる。ここでは、2 次関数の根を係数 x_1, x_2 で微分することで、 x_1, x_2 の変化分に対する極の変化分を求める。 x_1, x_2 で式 (3) の根を表すと、次のようになる。

$$s = \frac{-x_1}{2x_2} \pm \frac{\sqrt{x_1^2 - 4x_2}}{2x_2} \dots\dots\dots (6)$$

上式において、 $-x_1/(2x_2)$ は 2 つの極 ω_{p1}, ω_{p2} の平均値を表し、 $\sqrt{x_1^2 - 4x_2}/(2x_2)$ は平均値からの差を表す。極の値は、 $f(s) = 0$ の解では負の実根で求まるが、極の大きさだけを問題にしているので、以下では -1 倍して、正として扱う。式 (6) を、それぞれ x_1, x_2 で微分すると以下のようになる。

$$\Delta A_1 = \frac{\partial}{\partial x_1} \left(\frac{x_1}{2x_2} \right) = \frac{1}{2x_2} \dots\dots\dots (7)$$

$$\Delta B_1 = \frac{\partial}{\partial x_1} \left(\frac{\sqrt{x_1^2 - 4x_2}}{2x_2} \right) = \frac{x_1}{2x_2 \sqrt{x_1^2 - 4x_2}} \dots\dots\dots (8)$$

$$\Delta A_2 = \frac{\partial}{\partial x_2} \left(\frac{x_1}{2x_2} \right) = -\frac{x_1}{2x_2^2} \dots\dots\dots (9)$$

$$\Delta B_2 = \frac{\partial}{\partial x_2} \left(\frac{\sqrt{x_1^2 - 4x_2}}{2x_2} \right) = -\frac{x_1^2 - 2x_2}{2x_2^2 \sqrt{x_1^2 - 4x_2}} \dots\dots\dots (10)$$

いま、 $\omega_{p1} \leq \omega_{p2}$ とすると、 $\Delta\omega_{p1}(\Delta x_{1(2)}) = \Delta A_{1(2)} \cdot \Delta x_{1(2)} - \Delta B_{1(2)} \cdot \Delta x_{1(2)}$ 、 $\Delta\omega_{p2}(\Delta x_{1(2)}) = \Delta A_{1(2)} \cdot \Delta x_{1(2)} + \Delta B_{1(2)} \cdot \Delta x_{1(2)}$ である。

また、極と伝達関数の分母の関係は、

$$f(s) = (1 + s/\omega_{p1})(1 + s/\omega_{p2}) \dots\dots\dots (11)$$

となるので、これより、

$$x_1 = (1/\omega_{p1} + 1/\omega_{p2}) \dots\dots\dots (12)$$

$$x_2 = 1/\omega_{p1}\omega_{p2} \dots\dots\dots (13)$$

また、

$$x_1^2 - 4x_2 = (1/\omega_{p1} - 1/\omega_{p2})^2 \dots\dots\dots (14)$$

と表される。

これらを考慮した上で、 $\Delta\omega_{p1}, \Delta\omega_{p2}$ をそれぞれの変化分に対してまとめると、次のようになる。

$$\Delta\omega_{p1}(\Delta x_1) = -\frac{\omega_{p1}\omega_{p2}}{\omega_{p2} - \omega_{p1}} \omega_{p1} \Delta x_1 \dots\dots\dots (15)$$

$$\Delta\omega_{p2}(\Delta x_1) = \frac{\omega_{p1}\omega_{p2}}{\omega_{p2} - \omega_{p1}} \omega_{p2} \Delta x_1 \dots\dots\dots (16)$$

$$\Delta\omega_{p1}(\Delta x_2) = \frac{\omega_{p1}\omega_{p2}}{\omega_{p2} - \omega_{p1}} \omega_{p1}^2 \Delta x_2 \dots\dots\dots (17)$$

$$\Delta\omega_{p2}(\Delta x_2) = -\frac{\omega_{p1}\omega_{p2}}{\omega_{p2} - \omega_{p1}} \omega_{p2}^2 \Delta x_2 \dots\dots\dots (18)$$

ここで、 $\Delta x = x \frac{\Delta x}{x}$ とおき、 $\Delta\omega_{p1}, \Delta\omega_{p2}$ をまとめると、

$$\frac{\Delta\omega_{p1}}{\omega_{p1}} = \frac{1}{\omega_{p2} - \omega_{p1}} \left\{ -(\omega_{p1} + \omega_{p2}) \frac{\Delta x_1}{x_1} + \omega_{p1} \frac{\Delta x_2}{x_2} \right\}$$

$$\frac{\Delta\omega_{p2}}{\omega_{p2}} = \frac{1}{\omega_{p2} - \omega_{p1}} \left\{ (\omega_{p2} + \omega_{p1}) \frac{\Delta x_1}{x_1} - \omega_{p2} \frac{\Delta x_2}{x_2} \right\}$$

上式から、 x_1, x_2 が同程度相対変化すると考えると、 ω_{p1}, ω_{p2} の差が大きいほど、 $\Delta\omega_{p1}$ においては、 x_1 による変化分に対しての x_2 による変化分は小さいことがわかる。 $\Delta\omega_{p2}$ においては、それほど差がないといえる。

C_{X1} の増加により、 x_1, x_2 の値が増加すること。 C_{X2} の増加により、 x_2 の値が増加し、 x_1 の値が減少することが分かっている。従って、 C_{X1} が増加したとき、 ω_{p1} は減少し、 ω_{p2} はあまり変化しない。また、 C_{X2} が増加したとき、 ω_{p1} は増加し、 ω_{p2} は減少する傾向があると言える。

次に、位相に対する C_{X1}, C_{X2} の影響を調べる。伝達関数の式 (2) に $s = j\omega$ を代入し、実部と虚部に分けると、次のような形になる。

$$A_v(\omega) = \frac{(-r_1 + r_2\omega^2 - r_3\omega^4) + j(i_1\omega - i_2\omega^3)}{\sqrt{(x_2^2 - 1) + x_1^2}} \dots\dots\dots (19)$$

式 (19) において、 ω の次数が増える毎に、その係数は小さくなっている。周波数が上がるにつれ、 ω の 0 次項から高次の項へ向かう順番でその項の値が支配的になる。

この複素数の偏角が位相となる。 C_{X1}, C_{X2} が無いとき、 ω の各係数の符号は上式の通りとなる。実部と虚部をそれぞれみると、 ω の次数が増える毎に、その係数の符号が反転している。この場合、周波数が増すにつれ位相が一方方向に回転し、位相は 360° 回転することになる。

このことから、 ω の 3 次項 (i_2) の極性が反転すれば、利得 0dB 以上の周波数で 180° 回転しないことが推察される。

ω の係数 r_1, r_2, r_3, i_1, i_2 を、 C_{X1}, C_{X2} について、それぞれまとめてみると、次のような傾向がみられた。

- r_3 : $C_{X1} \geq C_{GD1}$ かつ C_{X2} がある程度低い値の条件で符号が反転する。 C_{X2} についても同じ。
- i_2 : $C_{X1} \geq C_{GD1}$ を増やしていくと符号が反転する。または、 $C_{X1} \geq C_{GD1}$ かつ C_{X2} がある値以上で反転する。 C_{X2} についてもおなじ。
- r_2 : C_{X1} がある値以上で符号が反転する。 C_{X2} を増やすと符号が反転しにくくなる。
- i_1 : C_{X1} を増やすと符号が反転しにくくなる。 C_{X2} がある値以上で符号が反転する。
- r_1 : C_{X1}, C_{X2} にらず常に負である。

このことから、位相が 180° まわらないためには、 C_{X1} を大きな値とするか、 C_{X2} を大きな値とするか、あるいは両方を適当な値とするか、という 3 パターンが考えられる。ただし、 C_{X2} は大きくしすぎると、 r_3, i_2, i_1 が全て反転してしまうため、注意が必要である。しかし、実際には、利得の周波数特性がピークを持たないためには C_{X2} は大きな値をとれないため、残りの 2 パターンということになる。

〈4・3〉 同相信号に対する極 同相利得において、その特性がピーク値をもつ理由は、極が複素数になることでなく、むしろ零点によるものである。第 2 節で述べたように、同相信号において、各段の出力抵抗には $2g_m$ の接地コンダクタンスが並列につながっているものと見なせる。このため、差動信号の出力抵抗を R_{diff} とすると、同相信号の出力抵抗は $\frac{R_{diff}}{1 + 2g_m R_{diff}} \approx \frac{R_{diff}}{2g_m R_{diff}}$ となる。従って、同相利得では、極の周波数が差動利得の $2g_m R_{diff}$ 倍となる。これは、1 段の利得のほぼ 2 倍であり、1 段の利得は 10 倍以上あるため、極の周波数は差動と比べ、同相の方が 20 倍以上高い。

同相信号における零点の周波数は $\omega_{z1} = \frac{g_{m1}}{C_{GD1} + C_{X1}}$ 、 $\omega_{z2} = \frac{g_{m3}}{C_{GD2} + C_{X2}}$ と表される。これより、 ω_{z1}, ω_{z2} は共に C_{X1}, C_{X2} に反比例して減少することが分かる。

零点が 1 番目の極より小さくなった場合、その零点の周波数から利得が増大し、極の周波数から利得が減少する。

従って、同相利得において、その特性がピークをもつ条件は $\omega_{p1} \leq \omega_{z1}$ となる。

同相利得は 1 倍以下なので、ピークをもつことすなわち発振ではない。ただし、ピークのあたりでの同相除去比は、余計に低下することになる。

5. シミュレーション結果

SPICE により、提案回路のシミュレーションを行った。 C_{X1}, C_{X2} の設定方針として、まず、 C_{X1}, C_{X2} を共に C_{GD1}, C_{GD2} と同じ値にする。その上で C_{X1} を増加させ、カットオフ周波数が下がり過ぎない程度に、位相余裕をかせぐ。その後、 C_{X2} により、さらなる位相進みと、カットオフ周波数の補正を行う。

MOSFET のパラメータは表 1 のものをシミュレーションに使用した。インバータはすべて同じものを用いた。

まず、インバータ 1 個の入出力特性から動作点を決める。

表 1 MOSFET のパラメータ
Table 1. Size Parameter of MOSFET

Parameter	Symbol	Value	Unit
Channel length	L	0.18	μm
nMOS channel width	W_n	1.8	μm
Sidewall of Drain(Source)	$PD_n(PS_n)$	4.68	μm
Area of Drain(Source)	$AD_n(AS_n)$	0.972	μm^2
pMOS channel width	W_p	3.6	μm
Sidewall of Drain(Source)	$PD_p(PS_p)$	8.28	μm
Area of Drain(Source)	$AD_p(AS_p)$	1.94	μm^2

入力電圧 0~1 V の出力電圧は、図 5 のようになった。これより、入力と同相バイアス電圧を 0.472V とする。

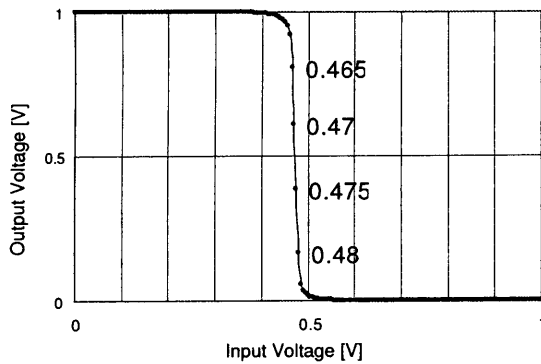


図 5 インバータ 1 個の入出力特性
Fig. 5. Output Voltage of an Inverter

上述の方法で、位相余裕が 30° と 60° になるように C_x を決める。それぞれの値は、 30° が $C_{X1} = 38 \text{ fF}$, $C_{X2} = 7.6 \text{ fF}$ となり、 60° では $C_{X1} = 110 \text{ fF}$, $C_{X2} = 10 \text{ fF}$ となった。結果を図 6, 7, 8 に示す。

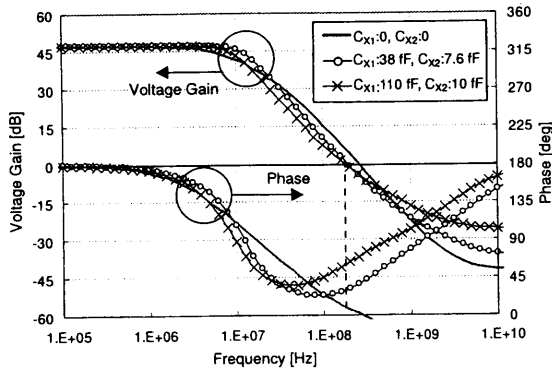


図 6 差動信号の出力特性
Fig. 6. Output in Differential mode signal

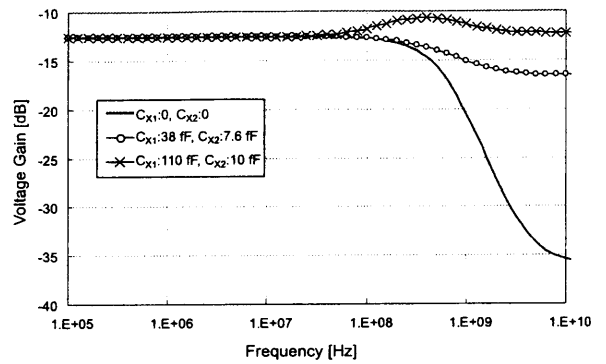


図 7 同相信号の利得出力特性
Fig. 7. Output Voltage Gain in Common mode signal

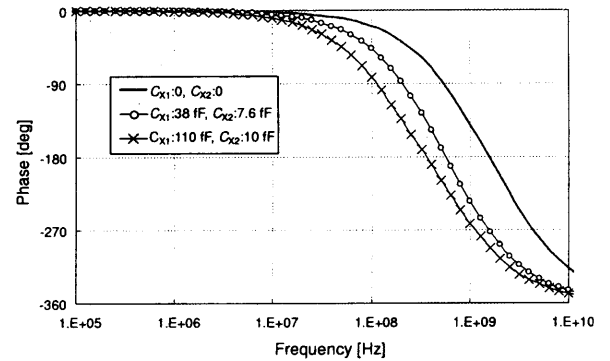


図 8 同相信号の位相出力特性
Fig. 8. Output Phase in Common mode signal

この結果より、差動利得において、位相余裕 30° と 60° は共に、ユニティゲイン周波数は下がるものの、カットオフ周波数においては増加しており、その特性がほとんど悪化していないことが分かる。同相利得においては、位相余裕 30° のものは、1 番目の極に対して、零点がかなり接近していることが分かる。また、位相余裕 60° のものは、零点が 1 番目の極を下回っているために、そこでの利得がすこし増加していることが分かる。

この回路の特性（シミュレーション値）を表 2 にまとめる。

〈5・1〉位相遅れ補償との比較 位相補償の標準的な方法には、位相遅れによる位相補償がある。この方法を用いた場合の周波数特性の一例を示し、本報告で提案した方法との比較を行う。

通常の位相遅れ補償にするため、位相補償用の容量をたすきがけにするのではなく、インバータに並列に容量を付加して、そのときの周波数特性を調べた。その結果、図 9 のようになった。

図 9 において、実線のカーブが位相補償後の特性で、破

表 2 設計した回路の特性

Table 2. Characteristics of proposed circuit (simulated)

Parameter	Design 1	Design 2	Pole splitting	Unit
Power supply voltage	1	1	1	V
Current dissipation	25	25	25	μ A
Differential mode gain	47	47	47	dB
Common mode gain	-12.6	-12.6	-12.6	dB
CMRR	59.7	59.7	59.7	dB
Cutoff frequency	12	9	0.108	MHz
Unity gain frequency	190	180	44	MHz
Phase margin	30	60	17	deg

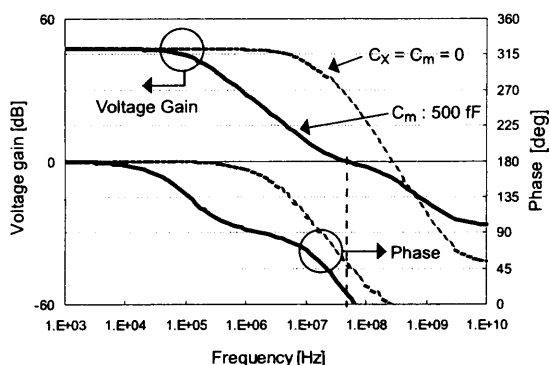


図 9 位相遅れによる位相補償

Fig. 9. Phase compensation by pole splitting

線のカーブが位相補償前のものである。これは、図 4 から C_{X1} , C_{X2} を取り除き, INV_7 と INV_8 に並列に容量 C_m を付加したものである。付加した C_m は 500 fF である。このとき位相余裕は 17° であった。図 6 と図 9 を見比べると明らかに、この方法だと、予測されたようにカットオフ周波数が大幅に減少することが分かる。表 2 より、位相余裕を 60° に設定した Design 2 と、位相遅れによる pole splitting を比較すると、位相遅れによる方法では、位相余裕を 17° にするためだけでも、ユニティゲイン周波数が約 4 分の 1 になり、カットオフ周波数では約 80 分の 1 になっている。従って、提案したクロス中和による位相補償では、帯域幅の減少が特に少ないといえる。

6. まとめ

本報告では、クロス中和による位相の補償方法として、Nauta OTA を 2 段構成したものに適用することを提案し、その位相補償法を検討した。その結果、単純なポールスプリッティング補償と異なり、差動利得の周波数特性をほとんど悪化させることなく、位相余裕を増やすことができた。副作用として、ユニティゲイン周波数が下がってしまうが、カットオフ周波数は増加させることができた。同相利得については、付加する C_X により零点が下がってくるため、利得にわずかなピークをもつようになることが分かった。

本報告では小信号特性のみ検討したが、今後は大信号特

性の検討を行う。

謝辞 本研究を御支援頂き、有益な議論を頂いた(株)半導体理工学研究センター益子 耕一郎氏、片倉 雅幸氏、佐藤 久恭氏、中西 誠司氏、宮本 雅幸氏、に深謝致します。また、本研究の一部は東京大学大規模集積システム設計教育研究センターを通しケイデンス株式会社の協力で行われたものである。

参考文献

- (1) B. Nauta: "A CMOS Transconductance-C Filter Technique for Very High Frequencies", IEEE J. Solid-State Circuits, Vol. 27, No. 5, pp. 142-153 (1992-2)
- (2) 谷本 洋: 「低電圧化, 低電流化のキーテクノロジーはアナログ回路技術」, 電気学会誌, 118, 7/8, pp.418-421 (1998).
- (3) Behzad Razavi(黒田忠広 監訳): アナログ CMOS 集積回路の設計 基礎編, 丸善株式会社 (2003)

原稿受付日

平成 18 年 5 月 22 日