

## 並列構造を用いた A/D 変換器の高精度化に関する基礎検討

杉本 俊貴\* 谷本 洋 吉澤 真吾 (北見工業大学)

## Resolution improvement by parallel connection of ADCs

Toshiki Sugimoto\*, Hiroshi Tanimoto, Shingo Yoshizawa (Kitami Institute of Technology)

A flash ADC is proposed with parallel connection of several sub ADCs. The proposed ADC will have a finer resolution by adding distinct offset voltages to respective sub ADCs. Spurious line spectra can be spread into white noise by using dynamic element matching technique to the offset voltages. This paper shows that SNR and SFDR can be traded by the proposed method.

キーワード : A/D 変換器, 平均, 並列構造, オフセット, 分解能向上

(Analog to Digital Converters, ensemble average, parallel structure, offset, resolution improvement.)

## 1. はじめに

通信分野では高速で高精度な A/D 変換器 (ADC) が必要とされているが, 低電源電圧のプロセスで高い電圧分解能を得ることは難しい。特にフラッシュ型 ADC ではミスマッチによるコンパレータのオフセットが精度に直接影響するため, 高分解能を得るための障害となっている。分解能を向上させる手法として TI(Time Interleaved)構造にした ADC に LSB を分割するオフセットを入力に加えて, デジタル部で平均処理をする方法がある<sup>(1)</sup>。

また, ADC は本質的に非線形な回路であるため出力が歪む。加えて, 素子ミスマッチやジッタの影響で, さらに特性が悪化する。TI 構造を用いるときには, 相間ミスマッチの影響もある。この様な問題に対処するための手法として, ダイナミックエレメントマッチング (DEM)<sup>(2)(3)</sup>や電圧補償技術<sup>(3)</sup>が提案されている。

本研究では DEM と TI 構造<sup>(1)</sup>に代えて, 並列構造を組み合わせることによる高精度化を検討する。4 個の 4bit フラッシュ型 ADC の並列構造を用いた ADC について, シミュレーションによる検討結果を述べる。

## 2. 並列構造 A/D 変換器の概要

## 〈2・1〉 並列構造 ADC の構成

並列構造を用いた ADC は図 1 に示すような構成である。4 並列の ADC の場合, 入力に総和が 0 となる LSB を 4 分割する  $V_1 \sim V_4$  を加え, それぞれの A/D 変換結果の集合平均をとることにより出力を決定する。理想状態ならば  $V_1 \sim V_4$  の

影響は打ち消され, かつ単体の ADC の分解能に加えて 2bit 分の分解能を得られる。

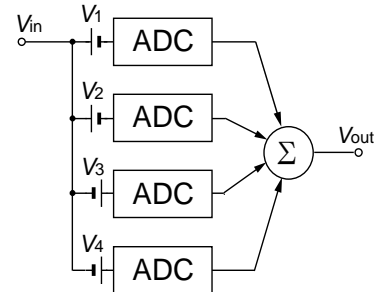


図 1 並列構造を用いた ADC

## 〈2・2〉 並列構造を用いるメリット

4 並列構造の場合, 変換速度はそのまま, 回路規模は単純に 4 倍であるため 6bit ADC と比較して回路規模は得をしないが, 並列構造により出力での平均処理が可能となる。TI 構造を用いた場合<sup>(1)</sup>には, 印加するオフセットは固定であり, 相間のミスマッチも固定される。しかし, 並列構造の場合は,  $V_1 \sim V_4$  をサンプルごとに切り替えることができ, DEM を用いて相間ミスマッチを改善できる。

## 〈2・3〉 入力オフセットの検討

並列構造を用いた ADC の場合は, 量子化器に正負の入力を取り扱うミッドライズ型を用いると良い。そうすることで印加したオフセットを平均処理により打ち消すことが可能となる。また, 平均処理した場合, 量子化誤差の分布はそれぞれの A/D 変換の結果生じた量子化誤差の平均値になる。その結果, 量子化誤差が鋸歯状となる組み合わせは 4

並列構造を用いる場合 $\pm 1/8\text{LSB}$ ,  $\pm 3/8\text{LSB}$  の 4 値をオフセット電圧として印加した時である。

### 3. シミュレーションによる検討

シミュレーションによって量子化雑音の寄与である SNR と非線形の寄与である SFDR について検討する。シミュレーション方法は文献(4)を参考にした。

4 並列構造を用いた ADC のシミュレーションを行った。ADC 単体の分解能は 4bit, 入力振幅はフルスケールとし、 $V_1 \sim V_4$  は $\pm 1/8\text{LSB}$ ,  $\pm 3/8\text{LSB}$  の 4 値とした。図 1 の 4 並列構造を用いて、A/D 変換した結果のスペクトルを図 2 に示す。赤丸は高調波歪みである。理想状態での SNR は 37.46 dB であり、これは理想的な 6bit ADC の SNR とほぼ同じである。4bit ADC を構成する各コンパレータにオフセットがある図 3 の場合は、スプリアスが生じている。また、DEM によりノイズフロアが上昇し、雑音の分布がより白色になっている。

次に、誤差として各コンパレータにオフセットを加えた検討を行う。シミュレーションの比較対象は、6bit のフラッシュ型 ADC と、素子循環によって DEM を行うフラッシュ型 ADC とした。オフセット誤差は正規分布に従うとして、4bit ADC の LSB を基準に、標準偏差  $\sigma$  を 0.1~1 LSB とした。各  $\sigma$  毎に誤差を変え 1000 回のシミュレーションを行い、SNR と SFDR の平均値をプロットしたものを図 4 に示す。コンパレータ誤差により、どの方式でも SNR の劣化がみられた。この結果より 6bit 精度を得るためには、誤差分の総量が 6bit 精度以内に収まる必要があると考えられる。また、DEM をした場合には、SNR は劣化するが、SFDR が良くなる。雑音電力の総和は操作によらず一定であるから、これはスプリアスを拡散し、雑音の分布を白色にした結果と考えられる。また、4 並列構造と 6bit フラッシュの DEM は、ほぼ同じ結果が得られることがわかった。

以上より、分解能と非線形については DEM を用いることによってトレードが可能であるとわかった。また、分解能を改善するためには、拡散した雑音に対して時間平均することが効果的であると考えられる。

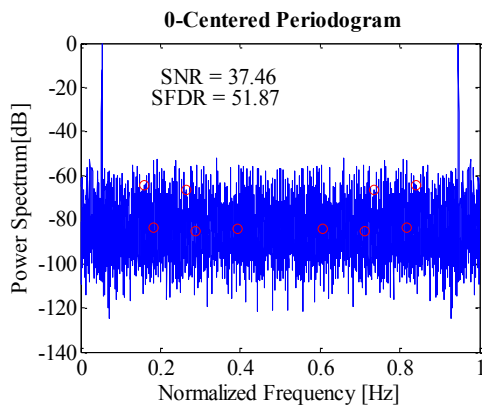


図 2 理想 4 並列構造 ADC のスペクトル

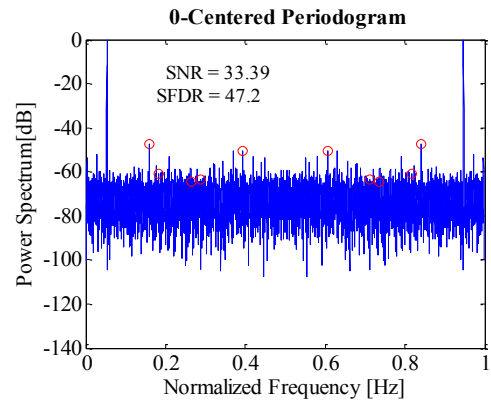


図 3 オフセット誤差を含む 4 並列 ADC のスペクトル

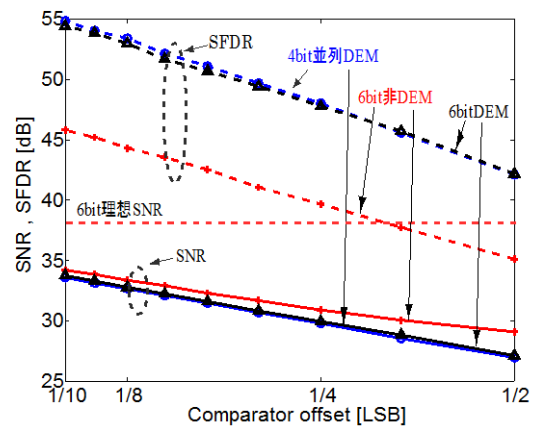


図 4 オフセット誤差に対する SNR と SFDR

### 4. まとめ

ADC の高精度化について検討した。分解能を改善する手段として、LSB を分割する入力オフセットが有効であることが、シミュレーションによって確かめられた。この際、オフセットを循環させることにより SFDR が改善されるが、拡散された非線形によって分解能が劣化するトレードオフの関係があるとわかった。

### 文 献

- (1) K. Poulton, J.J. Corcoran, and T. Hornak: "A 1-GHz 6-bit ADC system", IEEE J. of Solid-State Circuits, Vol.22, No.6 p.962-970 (1987)
- (2) P. Carbone and M. Caciotta: "Stochastic-flash analog-to-digital conversion", IEEE Transactions on Instrumentation and Measurement, vol. 47, no. 1, pp. 65-68(1998)
- (3) 松澤昭:「アナログ RF CMOS 集積回路設計基礎編」, 培風館, (2010)
- (4) A.D.I. Engineering: "Data Conversion Handbook (Analog Devices)", Newnes(2004)